

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Hiroshi HASHIMOTO et al.**

Serial Number: **Not Yet Assigned**

Filed: **January 14, 2004**

**Customer No.: 38834**

For: **METHOD OF PRODUCING SEMICONDUCTOR DEVICE**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

January 14, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

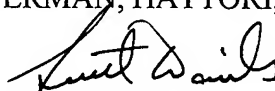
**Japanese Appln. No. 2003-014829, filed on January 23, 2003**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,  
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



Scott M. Daniels  
Reg. No. 32,562

Atty. Docket No.: 042017  
Suite 700  
1250 Connecticut Avenue, N.W.  
Washington, D.C. 20036  
Tel: (202) 822-1100  
Fax: (202) 822-1111  
SMD/yap

PATENT OFFICE  
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy  
of the following application as filed with this office.

Date of Application: January 23, 2003

Application Number: No. 2003-014829  
[ST.10/C]: [JP 2003-014829]

Applicant(s): FUJITSU LIMITED

October 28, 2003

Commissioner,  
Patent Office Yasuo Imai (Seal)

Certificate No. 2003-3089138

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                    2 0 0 3 年   1 月 2 3 日  
Date of Application:

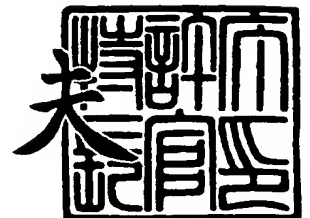
出 願 番 号                    特 願 2 0 0 3 - 0 1 4 8 2 9  
Application Number:  
[ST. 10/C] :                    [ J P 2 0 0 3 - 0 1 4 8 2 9 ]

出      願      人                    富 士 通 株 式 会 社  
Applicant(s):

2 0 0 3 年 1 0 月 2 8 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号   出証特 2 0 0 3 - 3 0 8 9 1 3 8

【書類名】 特許願

【整理番号】 0241421

【提出日】 平成15年 1月23日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置の製造方法

【請求項の数】 10

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 橋本 広司

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 高田 和彦

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100070150

    【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

    【弁理士】

    【氏名又は名称】 伊東 忠彦

    【電話番号】 03-5424-2511

【手数料の表示】

    【予納台帳番号】 002989

    【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0114942

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 基板の表面に画定される第 1 の領域と第 2 の領域の各々に、互いに機能の異なる素子が形成される半導体装置の製造方法であって、

前記第 1 の領域と前記第 2 の領域とに跨がりパターンニング形成された第 1 のマスクを用いて素子分離膜を前記基板に形成する工程と、

前記第 1 の領域を第 2 のマスクで覆いつつ、前記第 2 の領域に第 1 の絶縁膜を形成する工程と、

前記第 1 の領域から前記第 2 のマスクを除いて、前記第 1 の絶縁膜よりも厚い第 2 の絶縁膜を前記第 1 の領域に形成する工程と、  
を備える半導体装置の製造方法。

【請求項 2】 基板の表面に画定される第 1 の領域と第 2 の領域の各々に、互いに機能の異なる素子が形成される半導体装置の製造方法であって、

前記第 1 の領域と前記第 2 の領域とに跨がりパターンニング形成された第 1 のマスクを用いて素子分離膜を形成する工程と、

前記第 1 の領域を第 2 のマスクで覆いつつ、前記第 2 の領域に第 1 の絶縁膜を形成する工程と、

前記第 2 のマスクを除き、前記第 1 の領域の一部を第 3 のマスクで覆いつつ、前記第 1 の領域の一部以外の領域に第 2 の絶縁膜を形成する工程と、

前記第 3 のマスクを除き、前記第 1 の領域の一部の領域に第 3 の絶縁膜を形成する工程と、  
を備える半導体装置の製造方法。

【請求項 3】 前記第 3 の絶縁膜を形成する工程は、前記第 2 の絶縁膜をさらに酸化する工程と同時に行われる、  
請求項 2 記載の半導体装置の製造方法。

【請求項 4】 第 1 の領域と第 2 の領域とに跨がりパターンニング形成された第 1 のマスクを用いて素子分離膜を基板に形成する工程と、

前記第 2 の領域を第 2 のマスクで覆いつつ、前記第 1 の領域に第 1 の絶縁膜を

形成する工程と、

前記第2のマスクを除き、前記第2の領域に第2の絶縁膜を形成する工程と、  
を備える半導体装置の製造方法。

【請求項5】 前記第2の絶縁膜を形成する工程は、前記第1の絶縁膜をさらに酸化する工程と同時に行われる、  
請求項4記載の半導体装置の製造方法。

【請求項6】 第1の領域から第nの領域（nは2以上の整数）に跨がりパターンニング形成された第1のマスクを用いて素子分離膜を基板に形成する工程と

、  
前記第nの領域以外の領域を第2のマスクで覆いつつ、前記第nの領域に絶縁膜を形成する工程と、

前記第2のマスクを除き、第n-1の領域以外の領域を第3のマスクで覆いつつ、前記第n-1の領域に絶縁膜を形成する工程と、  
を備える半導体装置の製造方法。

【請求項7】 前記第n-1の領域に絶縁膜を形成する前記工程は、前記第nの領域に形成された前記絶縁膜をさらに酸化する工程と同時に行われる、  
請求項6記載の半導体装置の製造方法。

【請求項8】 前記第1のマスクを前記基板に形成するためのパターンニング工程と、前記素子分離膜のためのトレンチ溝を形成するエッチング工程とは同時に行われる、  
請求項1乃至7のいずれか記載の半導体装置の製造方法。

【請求項9】 前記第1のマスクは窒化膜を含む、  
請求項1乃至8のいずれか記載の半導体装置の製造方法。

【請求項10】 前記窒化膜は、ドライエッチングにより除去される、  
請求項9記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、特に、素子分離絶縁膜の素子分離機

能を向上しつつ、異なる膜厚のゲート絶縁膜を効率的に形成することができる半導体装置の製造方法に関する。

## 【0002】

### 【従来の技術】

集積化技術の発展により、半導体メモリ素子と半導体ロジック素子とを混載する技術が注目されている。半導体メモリ素子のうち、特に、フラッシュメモリ、E P R O M (Erasable Programmable Read Only Memory) 又は E E P R O M (Electrically Erasable Programmable Read-Only Memory) のような不揮発性メモリ素子は、たとえば、読み出しモードで動作する低電圧 M O S トランジスタと、書込み消去モードで動作する高電圧 M O S トランジスタとを必要とする。

## 【0003】

これら低電圧及び高電圧 M O S トランジスタに対応して、異なる膜厚を有するゲート絶縁膜を形成することが要求される。これまで、不揮発性メモリと、異なる膜厚のゲート絶縁膜を有する高電圧及び低電圧 M O S トランジスタとの製造方法が提案されている（たとえば、特許文献1）。

## 【0004】

一方、特に S T I (Shallow Trench Isolation) 方式は、高集積化に対応するための素子分離技術として注目されている。

図1～図4は、素子分離技術として S T I 方式が採用される、従来の異なるゲート絶縁膜の形成プロセスを説明する図である。ここでは、厚い膜厚のゲート絶縁膜が形成される素子領域（厚膜ゲート領域）と、該ゲート絶縁膜に比べて薄い膜厚を有するゲート絶縁膜が形成される素子領域（薄膜ゲート領域）とが示されている。

## 【0005】

図1 (A) では、まず、シリコン基板 501 には、酸化膜 502、窒化膜 503 が形成される。次いで、S T I 型のトレンチ溝 505 を形成するためにパターニングが行われ、レジストマスク 504 が形成される。図1 (B) では、該レジストマスク 504 を用いて、窒化膜 503 及び酸化膜 502 がエッチングされ、更にシリコン基板 501 がエッチングされることで、S T I 型のトレンチ溝 50



5が形成される。図1(C)では、まず、該トレンチ溝505に熱酸化膜が形成され、次いで、埋め込み酸化膜506が形成される。

#### 【0006】

つぎに、図2(A)では、該埋め込み酸化膜506に対して、CMP (Chemical and Mechanical Polishing) を用いたエッチバックによる平坦化処理が行われる。図2(B)では、窒化膜502と酸化膜503が除去され、素子分離膜507が形成される。図2(C)では、酸化処理により、厚膜ゲート領域と薄膜ゲート領域に酸化膜508が形成される。

#### 【0007】

つぎに、図3(A)では、厚膜ゲート領域を覆うようにレジストマスク509が形成され、薄膜ゲート領域に形成されている酸化膜508が除去される。このとき、デイボット510が形成される。図3(B)では、該レジストマスク509が除去され、酸化処理が行われる。これにより、薄膜ゲート領域には薄いゲート酸化膜511が形成され、厚膜ゲート領域に既に形成されていた酸化膜508は追加的に酸化されて、厚いゲート酸化膜512が形成される。図3(C)では、厚膜ゲート領域及び薄膜ゲート領域に対して、ゲート電極513が形成される。

#### 【0008】

なお、ここでは、トランジスタのオフセットを形成するため、選択的にPチャネルトランジスタ(図示せず)について $\text{BF}_2^+$ 又は $\text{B}^+$ がイオン注入され、Nチャネルトランジスタ(図示せず)について $\text{P}^+$ がイオン注入される場合がある。また、CVD (Chemical Vapor Deposition) 法により、膜厚100nmを有する酸化膜が成長され、サイドウォールスペーサが形成される場合がある。

#### 【0009】

さらに、ソースドレイン領域を形成するため、Pチャネル領域(図示せず)について $\text{BF}_2^+$ 又は $\text{B}^+$ 、Nチャネル領域(図示せず)について $\text{P}^+$ 又は $\text{As}^+$ がイオン注入される場合がある。この注入された不純物を活性化するため、1000℃の窒素雰囲気中で10秒のアニールが行われる場合がある。ゲート電極、並びにソース拡散領域及びドレイン拡散領域をシリサイド化するため、シリコン基板

501の表面はフッ化溶液により表面処理がなされ、コバルト、サリサイドが形成される場合がある。

#### 【0010】

図4では、ゲート電極513を覆うようにバルク層間膜514が形成される。このバルク層間膜514には、第1配線層515が形成され、該第1配線層515を覆うように配線層間膜516が形成される。該配線層間膜516には第2配線層517が形成され、該第2配線層517を覆うようにカバー層518が形成される。

#### 【0011】

##### 【特許文献1】

特開2001-203285号公報

#### 【0012】

##### 【特許文献2】

特開2002-349164号公報

#### 【0013】

##### 【発明が解決しようとする課題】

異なる膜厚のゲート絶縁膜を形成しようとする場合、素子分離膜507にはディボット510が形成される(図3(A)参照)。このディボット510は、STI方式に従う素子分離膜507が形成される場合のみでなく、LOCOS方式に従う素子分離膜が形成される場合にも同様に重要な問題とされる。

#### 【0014】

このディボット510が生じる原因は、図3(A)に示されるように、薄いゲート絶縁膜511が形成される前に、薄膜ゲート領域に既に形成されている酸化膜508を除去する工程を追加しなければならないことによる。

#### 【0015】

この除去工程は、フッ酸溶液を使用したウェットエッチングである。このウェットエッチングにより、薄膜ゲート領域の酸化膜508と共に素子分離膜507も部分的にエッチングされてしまい、各素子領域の境界部分を形成している素子分離膜507が後退される。また、複数の異なるゲート絶縁膜が形成されるとき

、フッ酸溶液を使用したエッチングが複数回にわたり行われることにより、素子分離膜がさらに後退される。

#### 【0016】

この素子分離膜507の後退量、すなわちディボット521の大きさは、ゲート酸化膜の信頼性、及びトランジスタのハンプ特性等に直接影響を与えるものであり、さらには、メモリ素子とロジック素子との混載デバイス全体の信頼性にも影響を与える。

#### 【0017】

したがって、素子分離絶縁膜による素子分離機能が低下されることなく、異なる膜厚のゲート酸化膜がそれぞれ形成されることが望まれる。

本発明の目的は、素子分離絶縁膜による素子分離機能を向上しつつ、異なる膜厚のゲート絶縁膜を効率的に形成することができる半導体装置の製造方法を提供することにある。

#### 【0018】

本発明の別の目的は、素子分離絶縁膜による素子分離機能を向上しつつ、異なる膜厚のゲート絶縁膜を効率的に形成することができる半導体装置の一般化された製造方法を提供することにある。

#### 【0019】

##### 【課題を解決するための手段】

本発明は、特に、不揮発性メモリ素子とロジック素子との混載技術に注目してなされたものである。本発明に係る混載技術では、異なる膜厚のゲート絶縁膜を形成するとき、特に、上記ディボットの発生原因であった酸化膜を除去する工程が回避される。本発明に係る製造方法は、レジストマスクの形成、酸化処理及び該レジストマスクの除去といった既存のプロセス技術の組合せにより実現され、ゲート絶縁膜間の膜厚差は、上記組合せが繰り返される回数により容易に実現される。

#### 【0020】

なお、本製造方法は、不揮発性メモリ素子とロジック素子との混載技術への適用のみに限定されることなく、素子分離絶縁膜により画定される一般的な素子領

域に異なる膜厚のゲート絶縁膜が形成される製造方法へと拡張される。

さらに、本製造方法は、素子領域の数、すなわちゲート膜厚の種類に関して、上記拡張される製造方法がさらに一般化された形式として開示される。

#### 【0021】

本製造方法では、複数の異なるゲート酸化膜が形成されるとき、各ゲート酸化膜は、1度のみの酸化前処理を経て形成される。具体的には、各ゲート酸化膜が形成される素子領域の基板保護膜をエッチングするのみでよい。したがって、各素子領域において発生されるディボットの深さは、1回分の酸化前処理に対応する深さに抑えることができる。

#### 【0022】

本製造方法は、素子分離絶縁膜の本来の素子分離機能をできるだけ維持することに注目して実現されたものであり、半導体回路全体の信頼性を確保することができる。さらに、異なる膜厚のゲート絶縁膜が効率的に形成されることにより、異なる電圧の電源又は入力／出力系、更には該電源と入力／出力系の組合せ等の使用環境にも柔軟に対応することができる。

#### 【0023】

##### 【発明の実施の形態】

以下、本発明の実施の形態を添付図面と対応して詳細に説明する。

図5～図10は、本発明の第1の実施の形態による半導体装置の製造方法を説明するプロセスフローである。ここでは、不揮発性メモリとしてのフラッシュメモリセルが形成される領域（フラッシュセル領域）と、ロジック素子が形成される領域（ロジック領域）とが示されている。また、素子分離技術としてSTI方式が採用される。

#### 【0024】

図5（A）では、まず、シリコン基板101上に酸化膜102が形成され、次いで、酸化膜102上に窒化膜103が形成される。この酸化膜102と窒化膜103とは、素子分離膜を形成するときに使用される基板保護膜をなしている。

#### 【0025】

本実施の形態では、酸化膜102は、成膜温度900℃により膜厚10nmに

成長される。窒化膜 103 は、CVD 法により膜厚 150 nm に成長される。つぎに、STI 型のトレンチ溝 105 を形成するためにパターニングが行われ、レジストマスク 104 が形成される。

#### 【0026】

図 5 (B) では、該レジストマスク 104 を用いて、窒化膜 103、酸化膜 102 がエッチングされ、さらにシリコン基板 101 が、約 350 nm の深さにエッチングされる。これにより、STI 型のトレンチ溝 105 が形成される。このとき、該窒化膜 103 及び酸化膜 102 がエッチングされた後、該レジストマスク 104 が除去され、窒化膜 103 をマスクにしてシリコン基板 101 がエッチングされてもよい。

#### 【0027】

図 5 (C) では、まず、トレンチ溝 105 の表面処理を行うため、該トレンチ溝 105 に熱酸化膜 (図示せず) が形成される。本実施の形態では、該熱酸化膜は、成膜温度 850℃ の酸化処理により、膜厚 10 nm に成長される。次いで、トレンチの埋め込み酸化膜 106 が形成される。本実施の形態では、埋め込み酸化膜 106 は、CVD 法により膜厚 700 nm に成長される。

#### 【0028】

図 6 (A) では、該埋め込み酸化膜 106 に対して、CMP 法を用いたエッチバックによる平坦化処理が行われる。図 6 (B) では、まず、フラッシュセル領域以外の領域を覆うように、レジストマスク 108 が形成される。

#### 【0029】

次いで、 $\text{CHF}_3/\text{O}_2/\text{Ar}$  の混合ガスによるドライエッチングを行うことにより、フラッシュセル領域の窒化膜 103 が除去される。その後、該レジストマスク 108 は除去される。さらに、フッ酸溶液によるウェットエッチングを行うことにより、酸化膜 102 が除去される。

#### 【0030】

図 6 (C) では、フラッシュセル領域に対して酸化処理を行うことにより、トンネル酸化膜 109 が形成される。このとき、ロジック領域は、窒化膜 103 が残されているために酸化されない。

## 【0031】

図7 (A) では、素子分離膜107、トンネル酸化膜109及び窒化膜103を覆うように、リンPがドーパされたアモルファスシリコン膜110が形成される。本実施の形態では、アモルファスシリコン膜110は、膜厚100nmに成長される。

## 【0032】

図7 (B) では、まず、パターニングにより、フラッシュメモリのフローティングゲート111の平面形状のレジストマスク（図示せず）が形成され、次いで、アモルファスシリコン膜110に対してエッチングを行うことにより、フローティングゲート111が形成される。

## 【0033】

つぎに、該フローティングゲート111を覆うように、ONO膜112が形成される。本実施の形態では、ONO膜112は、CVD法により成膜温度750℃で膜厚7nmに成長される酸化膜、CVD法により成膜温度725℃で膜厚9nmに成長される窒化膜、及び熱酸化法により温度950℃のO<sub>2</sub>/H<sub>2</sub>雰囲気で膜厚6nmに酸化される酸化膜（いずれも図示せず）の順に積層されて形成される。

## 【0034】

図7 (C) では、まず、フラッシュセル領域を覆うようにレジストマスク113が形成される。次いで、エッチングにより、ロジック領域に含まれるフローティングゲート111、ONO膜112が選択的に除去される。

## 【0035】

図8 (A) では、まず、レジストマスク113を用いて、ロジック領域に含まれている窒化膜103と酸化膜102が選択的に除去される。具体的には、CHF<sub>3</sub>/O<sub>2</sub>/Arの混合ガスによるドライエッチングを行うことにより、該窒化膜103が除去される。その後、レジストマスク113は除去される。さらに、フッ酸溶液によるウェットエッチングを行うことにより、ロジック領域に含まれる酸化膜102が除去される。

## 【0036】

図 8 (B) では、ロジック領域に露出されているシリコン基板 101 に対して酸化処理が行われ、酸化膜 114 が形成される。

図 8 (C) では、レジストマスク 115 を用いて、ロジック領域のうち、薄いゲート酸化膜を形成すべき領域（薄膜ゲート領域）に含まれる酸化膜 114 が選択的に除去される。

#### 【0037】

図 9 (A) では、レジストマスク 115 が除去され、ロジック領域全体に対して酸化処理が行われる。この酸化処理により、薄膜ゲート領域には、薄いゲート酸化膜 116 が形成される。また、該薄いゲート酸化膜 116 に比べて厚いゲート酸化膜を形成すべき領域（厚膜ゲート領域）には、既に形成されている酸化膜 114 に対する追加的な酸化により、厚いゲート酸化膜 117 が形成される。このとき、フラッシュセル領域は、ONO 膜 112 により覆われているために酸化されない。

#### 【0038】

図 9 (B) では、ゲート電極 119 を形成するために、ポリシリコン膜 118 が形成される。本実施の形態では、ポリシリコン膜 118 は、CVD 法により、膜厚 180 nm に成長される。

また、ゲート電極 119 を低抵抗化するために、たとえば、P チャネル領域（図示せず）以外の領域に、注入エネルギー 20 keV、濃度  $4.0 \times 10^{15} \text{ cm}^{-2}$  でリン P+ がイオン注入され、活性化のため、温度 1000℃ の窒素雰囲気中で 10 秒間のアニールが行われる場合がある。さらに、反射防止膜としての窒化膜が CVD 法により膜厚 29 nm に成長される場合がある。

#### 【0039】

図 9 (C) では、パターニングが行われ、ゲート電極 119 が形成される。

ここで、トランジスタのオフセットを形成するため、選択的に、P チャネルトランジスタについて  $\text{BF}_2^+$  又は  $\text{B}^+$  が注入され、N チャネルトランジスタについて  $\text{P}^+$  が注入される場合がある。つぎに、CVD 法により酸化膜が膜厚 100 nm に形成され、サイドウォールスペーサ（図示せず）が形成される場合がある。この場合、CVD 法により窒化膜が形成されてもよい。

## 【0040】

また、ソース拡散領域及びドレイン拡散領域（図示せず）を形成するために、Pチャネル領域について $B^+$ 又は $BF^{2+}$ が注入され、Nチャネル領域について $P^+$ 又は $As^+$ が注入される場合がある。つぎに、これら注入された不純物を活性化するため、温度 $1000^{\circ}C$ の窒素雰囲気中で10秒のアニールが行われる場合がある。

## 【0041】

ゲート電極、並びにソース拡散領域及びドレイン拡散領域をシリサイド化するため、シリコン基板101の表面は、フッ酸溶液により表面処理され、コバルトシリサイドが形成される場合がある。また、他の方法として、このとき、ゲート電極、並びにソース拡散領域及びドレイン拡散領域を低抵抗化するため、タンゲステンシリコン $WSi$ 、ソース拡散領域及びドレイン拡散領域にシリサイドが使用される場合がある。

## 【0042】

図10では、ゲート電極119を覆うようにバルク層間膜120が形成される。このバルク層間膜120上には、第1配線層121が形成され、該第1配線層121を覆うように配線層間膜122が形成される。該配線層間膜122上には第2配線層123が形成され、該第2配線層123を覆うようにカバー層124が形成される。

## 【0043】

本実施の形態による半導体装置の製造方法では、素子分離膜207を形成するために作製された基板保護膜202、203は、異なる膜厚を有するゲート酸化膜216、217を形成するために流用される。他の形態として、たとえば、この流用すべき基板保護膜（たとえば、図6（B）参照）の全部又は一部を除いた後に、マスキング等により酸化する工程（たとえば、図6（C）に対応）が含まれていてもよい。

## 【0044】

以上から、本実施の形態による製造方法は、シリコン基板101の表面に画定される第1の領域と第2の領域の各々に、互いに機能の異なる素子が形成される



半導体装置の製造方法である。はじめに、ロジック素子が形成される第1の領域と不揮発性メモリ素子が形成される第2の領域とに跨がりパターンニング形成された基板保護膜102、103を用いて素子分離膜107がシリコン基板107に形成される。

#### 【0045】

つぎに、第1の領域をレジストマスク108で覆いつつ、第2の領域にトンネル酸化膜109が形成される。つぎに、第1の領域からレジストマスク108を除いて、トンネル酸化膜109よりも厚いゲート酸化膜117が第1の領域に形成される。

#### 【0046】

図11～図16は、本発明の第2の実施の形態による半導体装置の製造方法を説明するプロセスフローである。ここでは、第1の実施の形態と同様にフラッシュセル領域とロジック領域とが示されており、さらに、ロジック領域には、厚いゲート酸化膜が形成される領域（厚膜ゲート部）と、該厚いゲート酸化膜に比べて薄いゲート酸化膜が形成される領域（薄膜ゲート部）が示されている。また、素子分離技術としてSTI方式が採用される。

#### 【0047】

図11（A）では、まず、シリコン基板201上に酸化膜202が形成され、次いで、酸化膜202上に窒化膜203が形成される。この酸化膜202と窒化膜203とは、素子分離膜を形成するときに使用される基板保護膜をなしている。

#### 【0048】

本実施の形態では、酸化膜202は、成膜温度900℃により膜厚10nmに成長される。窒化膜203は、CVD法により膜厚150nmに成長される。つぎに、STI型のトレンチ溝205を形成するためにパターンニングが行われ、レジストマスク204が形成される。

#### 【0049】

図11（B）では、該レジストマスク204を用いて、窒化膜203、酸化膜202がエッチングされ、更にシリコン基板201が約350nmの深さにエッ

チングされる。これにより、STI型のトレンチ溝205が形成される。このとき、該窒化膜203及び酸化膜202がエッチングされた後、該レジストマスク204が除去され、窒化膜203をマスクにしてシリコン基板201がエッチングされてもよい。

#### 【0050】

図11(C)では、まず、トレンチ溝205の表面処理を行うため、該トレンチ溝205に熱酸化膜(図示せず)が形成される。本実施の形態では、この熱酸化膜は、成膜温度850℃の酸化処理により、膜厚10nmに成長される。次いで、トレンチの埋め込み酸化膜206が形成される。本実施の形態では、埋め込み酸化膜206は、CVD法により膜厚700nmに成長される。

#### 【0051】

図12(A)では、該埋め込み酸化膜206に対して、CMP法を用いたエッチバックによる平坦化処理が行われる。

図12(B)では、まず、フラッシュセル領域以外の領域を覆うように、レジストマスク208が形成される。

#### 【0052】

次いで、 $\text{CHF}_3/\text{O}_2/\text{Ar}$ の混合ガスによるドライエッチングを行うことにより、フラッシュセル領域の窒化膜203が除去される。その後、該レジストマスク208は除去される。さらに、フッ酸溶液によるウェットエッチングを行うことにより、フラッシュセル領域の酸化膜202が除去される。

#### 【0053】

図12(C)では、フラッシュセル領域に対して酸化処理を行うことにより、トンネル酸化膜209が形成される。このとき、ロジック領域には窒化膜203が残されているために酸化されない。

#### 【0054】

図13(A)では、素子分離膜207、トンネル酸化膜209及び窒化膜203を覆うように、リンPがドーパされたアモルファスシリコン膜210が形成される。本実施の形態では、アモルファスシリコン膜210は、膜厚100nmに成長される。

## 【0055】

図13 (B) では、まず、パターニングにより、フラッシュメモリのフローティングゲート211の平面形状のレジストマスク（図示せず）が形成され、次いで、アモルファスシリコン膜210に対してエッチングを行うことにより、フローティングゲート211が形成される。

## 【0056】

つぎに、フローティングゲート211を覆うように、ONO膜212が形成される。本実施の形態では、ONO膜212は、CVD法により成膜温度750℃で膜厚7nmに成長される酸化膜、CVD法により成膜温度725℃で膜厚9nmに成長される窒化膜、及び熱酸化法により温度950℃のO<sub>2</sub>/H<sub>2</sub>雰囲気で膜厚6nmに酸化される酸化膜（いずれも図示せず）の順に積層されて形成される。

## 【0057】

図13 (C) では、まず、フラッシュセル領域を覆うようにレジストマスク213が形成される。次いで、エッチングにより、ロジック領域に含まれるフローティングゲート211、ONO膜212が選択的に除去される。

## 【0058】

図14 (A) では、まず、レジストマスク213'を用いて、ロジック領域の厚膜ゲート部に含まれる窒化膜203と酸化膜202が選択的に除去される。具体的には、CHF<sub>3</sub>/O<sub>2</sub>/Arの混合ガスによるドライエッチングを行うことにより、厚膜ゲート部に含まれる窒化膜203が除去される。その後、レジストマスク213'は除去される。さらに、フッ酸溶液によるウェットエッチングを行うことにより、厚膜ゲート部に含まれる酸化膜202が除去される。

## 【0059】

図14 (B) では、ロジック領域の厚膜ゲート部に露出されているシリコン基板201に対して酸化処理が行われ、酸化膜214が形成される。このとき、フラッシュセル領域にはONO膜212が残されており、ロジック領域の薄膜ゲート部には窒化膜203が残されているため、これらの領域は酸化されない。

## 【0060】

図 14 (C) では、レジストマスク 215 を用いて、ロジック領域のうち、薄膜ゲート領域に含まれる窒化膜 203 及び酸化膜 202 が選択的に除去される。具体的には、 $\text{CHF}_3/\text{O}_2/\text{Ar}$  の混合ガスによるドライエッチングを行うことにより、薄膜ゲート部に含まれる窒化膜 203 が除去される。その後、レジストマスク 215 は除去される。さらに、フッ酸溶液によるウェットエッチングを行うことにより、薄膜ゲート部に含まれる酸化膜 202 が除去される。

#### 【0061】

図 15 (A) では、酸化処理により、ロジック領域の薄膜ゲート部には薄いゲート酸化膜 216 が形成され、同時に、厚膜ゲート部には、既に形成されている酸化膜 214 に対する追加的な酸化により、厚いゲート酸化膜 217 が形成される。このとき、フラッシュセル領域は、ONO 膜 212 で覆われているために酸化されない。

#### 【0062】

図 15 (B) では、ゲート電極 219 を形成するために、ポリシリコン膜 218 が形成される。本実施の形態では、ポリシリコン膜 218 は、CVD 法により、膜厚 180 nm に成長される。

#### 【0063】

また、ゲート電極 219 を低抵抗化するために、たとえば、P チャネル領域（図示せず）以外の領域に、注入エネルギー 20 keV、濃度  $4.0 \times 10^{15} \text{ cm}^{-2}$  でリン P+ が注入され、活性化のため、温度 1000 °C の窒素雰囲気中で 10 秒間のアニールが行われる場合がある。次いで、反射防止膜としての窒化膜が CVD 法により膜厚 29 nm に成長される場合がある。

#### 【0064】

図 15 (C) では、パターニングが行われ、ゲート電極 219 が形成される。ここで、トランジスタのオフセットを形成するため、選択的に、P チャネルトランジスタについて  $\text{BF}_2^+$  又は  $\text{B}^+$  が注入され、N チャネルトランジスタについて P+ が注入される場合がある。つぎに、CVD 法により酸化膜が膜厚 100 nm に成長されて、サイドウォールスペーサ（図示せず）が形成される場合がある。この場合、CVD 法により窒化膜が形成されてもよい。

## 【0065】

つぎに、ソース拡散領域及びドレイン拡散領域（図示せず）を形成するために、Pチャネル領域について $B^+$ 又は $BF^{2+}$ が注入され、Nチャネル領域について $P^+$ 又は $As^+$ が注入される場合がある。次いで、これら注入された不純物を活性化するため、温度 $1000^{\circ}C$ の窒素雰囲気中で10秒のアニールが行われる場合がある。

## 【0066】

ゲート電極、並びにソース拡散領域及びドレイン拡散領域をシリサイド化するため、シリコン基板201の表面は、フッ酸溶液により表面処理され、コバルトシリサイドが形成される場合がある。また、他の方法として、このとき、ゲート電極、並びにソース拡散領域及びドレイン拡散領域を低抵抗化するため、タンゲステンシリコン $WSi$ 、ソース拡散領域及びドレイン拡散領域にシリサイドを使用してもよい。

## 【0067】

図16では、ゲート電極219を覆うようにバルク層間膜220が形成される。このバルク層間膜220上には、第1配線層221が形成され、該第1配線層221を覆うように配線層間膜222が形成される。該配線層間膜222上には第2配線層223が形成され、該第2配線層223を覆うようにカバー層224が形成される。

## 【0068】

本実施の形態による半導体装置の製造方法では、素子分離膜207を形成するために作製された基板保護膜202、203は、異なる膜厚を有するゲート酸化膜216、217を形成するために流用される。他の形態として、たとえば、この流用すべき基板保護膜（たとえば、図14（A）参照）の全部又は一部を除いた後に、マスキング等により酸化する工程（たとえば、図14（B）に対応）が含まれていてもよい。

## 【0069】

以上から、本実施の形態による製造方法は、シリコン基板201の表面に画定される第1の領域と第2の領域の各々に、互いに機能の異なる素子が形成される

半導体装置の製造方法である。はじめに、ロジック素子が形成される第1の領域と不揮発性メモリ素子が形成される第2の領域とに跨がりパターンニング形成された基板保護膜202、203を用いて素子分離膜207が形成される。

#### 【0070】

つぎに、第1の領域をレジストマスク208で覆いつつ、第2の領域にトンネル酸化膜209が形成される。さらに、レジストマスク208を除き、第1の領域の一部をレジストマスク213'で覆いつつ、第1の領域の一部以外の領域に酸化膜214が形成される。次いで、レジストマスク213'を除き、第1の領域の一部の領域に薄いゲート酸化膜216が形成される。製造工程の合理化を考慮して、このゲート酸化膜216を形成する工程は、酸化膜214をさらに酸化して厚いゲート酸化膜217を形成する工程と同時に行われることが好ましい。

#### 【0071】

図17～図20は、本発明の第3の実施の形態による半導体装置の製造方法を説明するプロセスフローである。本実施の形態は、第1及び第2の実施の形態とは異なり、薄いゲート酸化膜が形成される一般的な素子領域（薄膜ゲート部）と、厚いゲート酸化膜が形成される素子領域（厚膜ゲート部）が示されている。また、素子分離技術としてSTI方式が採用される。

#### 【0072】

図17（A）では、まず、シリコン基板301上に酸化膜302が形成され、次いで、酸化膜302上に窒化膜303が形成される。本実施の形態では、酸化膜302は、成膜温度900℃により膜厚10nmに成長される。窒化膜303は、CVD法により膜厚150nmに成長される。

#### 【0073】

この酸化膜302と窒化膜303とは、素子分離膜を形成するときに使用される基板保護膜をなしている。つぎに、STI型のトレンチ溝305を形成するために、パターンニングが行われ、レジストマスク304が形成される。

#### 【0074】

図17（B）では、該レジストマスク304を用いて、窒化膜303、酸化膜302がエッチングされ、更にシリコン基板301が約350nmの深さにエッ

チングされる。これにより、STI型のトレンチ溝305が形成される。このとき、該窒化膜303及び酸化膜302がエッチングされた後、該レジストマスク404が除去され、窒化膜303をマスクにしてシリコン基板301がエッチングされてもよい。

#### 【0075】

図17(C)では、まず、トレンチ溝305の表面処理を行うため、該トレンチ溝305に熱酸化膜(図示せず)が形成される。本実施の形態では、この熱酸化膜は、成膜温度850℃の酸化処理により、膜厚10nmに成長される。次いで、トレンチ溝305の埋め込み酸化膜306が形成される。本実施の形態では、埋め込み酸化膜306は、CVD法により膜厚700nmに成長される。

#### 【0076】

図18(A)では、該埋め込み酸化膜306に対して、CMP法を用いたエッチバックによる平坦化処理が行われる。

図18(B)では、まず、厚膜ゲート領域以外の領域を覆うように、レジストマスク308が形成される。

#### 【0077】

次いで、 $\text{CHF}_3/\text{O}_2/\text{Ar}$ の混合ガスによるドライエッチングを行うことにより、厚膜ゲート領域の窒化膜303が除去される。その後、該レジストマスク308は除去される。さらに、フッ酸溶液によるウェットエッチングを行うことにより、酸化膜302が除去される。この時、薄膜ゲート領域の酸化膜302は、窒化膜303で覆われているため除去されない。

#### 【0078】

図18(C)では、厚膜ゲート領域に酸化処理を行うことにより、酸化膜309が形成される。本実施の形態では、酸化膜309は、温度800℃の酸素雰囲気中で膜厚6.5nmに成長される。このとき、薄膜ゲート領域は、窒化膜303で覆われているために酸化されない。

#### 【0079】

図19(A)では、厚膜ゲート領域を覆うようにレジストマスク310が形成される。

図19 (B) では、薄膜ゲート領域に含まれる窒化膜303と酸化膜302が選択的に除去される。具体的には、 $\text{CHF}_3/\text{O}_2/\text{Ar}$ の混合ガスでドライエッチングが行われ、薄膜ゲート領域の窒化膜303が除去される。次いで、フッ酸溶液を用いたウェットエッチングにより、薄膜ゲート領域の酸化膜302が除去され、レジストマスク310が除去される。

#### 【0080】

図19 (C) では、ゲート電極315を形成するため、 $750^\circ\text{C}$ の酸化雰囲気中で薄膜ゲート領域にゲート酸化膜312が形成される。これと同時に、厚膜ゲート領域に既に形成されている酸化膜309が追加的に酸化され、ゲート絶縁膜311が形成される。本実施の形態では、ゲート絶縁膜312は、温度 $750^\circ\text{C}$ の酸素雰囲気中で膜厚3 nmに成長され、厚いゲート絶縁膜311は、膜厚8 nmに成長される。

#### 【0081】

図20 (A) では、ゲート電極を形成するために、CVD法により、ポリシリコン膜（図示せず）が膜厚180 nmに形成される。

また、ゲート電極315を低抵抗化するために、たとえば、Pチャネル領域（図示せず）以外の領域に、注入エネルギー20 keV、濃度 $4.0 \times 10^{15} \text{ cm}^{-2}$ でリンP<sup>+</sup>が注入され、活性化のため、温度 $1000^\circ\text{C}$ の窒素雰囲気中で10秒間のアニールが行われる場合がある。次いで、反射防止膜としての窒化膜（図示せず）がCVD法により膜厚29 nmに成長される場合がある。

#### 【0082】

つぎに、レジストマスク（図示せず）を用いてパターニングが行われ、ゲート電極315が形成される。

ここで、トランジスタのオフセットを形成するため、選択的に、Pチャネルトランジスタについて $\text{BF}_2^+$ 又は $\text{B}^+$ が注入され、Nチャネルトランジスタについて $\text{P}^+$ が注入される場合がある。つぎに、CVD法により酸化膜が膜厚100 nmに成長されて、サイドウォールスペーサ（図示せず）が形成される場合がある。この場合、CVD法により窒化膜が形成されてもよい。

#### 【0083】



つぎに、ソース拡散領域及びドレイン拡散領域（図示せず）を形成するために、Pチャネル領域について $B^+$ 又は $BF^{2+}$ が注入され、Nチャネル領域について $P^+$ 又は $As^+$ が注入される場合がある。次いで、これら注入された不純物を活性化するため、温度 $1000^{\circ}C$ の窒素雰囲気中で10秒のアニールが行われる場合がある。

#### 【0084】

ゲート電極、並びにソース拡散領域及びドレイン拡散領域をシリサイド化するため、シリコン基板301の表面は、フッ酸溶液により表面処理され、コバルトシリサイドが形成される場合がある。また、他の方法として、このとき、ゲート電極、並びにソース拡散領域及びドレイン拡散領域を低抵抗化するため、タンゲステンシリコン $WSi$ 、ソース拡散領域及びドレイン拡散領域にシリサイドが使用される場合がある。

#### 【0085】

図20（B）では、ゲート電極315を覆うようにバルク層間膜316が形成される。このバルク層間膜316上には、第1配線層317が形成され、該第1配線層317を覆うように配線層間膜318が形成される。該配線層間膜318上には第2配線層319が形成され、該第2配線層319を覆うようにカバー層320が形成される。

#### 【0086】

本実施の形態による半導体装置の製造方法では、素子分離膜307を形成するために作製された基板保護膜302、303を、異なる膜厚を有するゲート酸化膜311、312を形成するために流用することによる。他の形態として、たとえば、この流用すべき基板保護膜（たとえば、図18（B）参照）の全部又は一部を除いた後に、マスキング等により酸化する工程（たとえば、図18（C）に対応）が含まれていてもよい。

#### 【0087】

以上から、本実施の形態による製造方法は、はじめに、第1の領域と第2の領域とに跨がりパターンニング形成された基板保護膜302、303を用いて素子分離膜307がシリコン基板301に形成される。

**【0088】**

つぎに、第2の領域をレジストマスク308で覆いつつ、第1の領域に酸化膜309が形成される。さらに、レジストマスク308を除き、第2の領域に薄いゲート酸化膜312が形成される。製造工程の合理化を考慮して、このゲート酸化膜312を形成する工程は、酸化膜309をさらに酸化して厚いゲート酸化膜311を形成する工程と同時に進行することが好ましい。

**【0089】**

図21～図22は、本発明の第4の実施の形態による半導体装置の製造方法を説明するプロセスフローである。本実施の形態は、第3の実施の形態において示されたプロセス概念を一般化する形態として位置付けられ、複数の異なる膜厚のゲート酸化膜が形成される規則的なプロセスとして例示される。

**【0090】**

図21及び図22では、素子領域 $n$ 、 $n-1$ 、 $\dots$ 、1が示されており、これらの素子領域には、膜厚に関して降順のゲート酸化膜を有するトランジスタが形成される。たとえば、素子領域 $n$ には、最も厚いゲート酸化膜を有するトランジスタが形成され、素子領域1には、最も薄いゲート酸化膜を有するトランジスタが形成される。

**【0091】**

図21は、第3の実施の形態で示された図18(A)の工程が終了された状態を前提としている。すなわち、シリコン基板401上には、窒化膜と酸化膜とからなる基板保護膜404が形成されており、さらに、素子領域 $n$ 、 $n-1$ 、 $\dots$ 、1を画定するための素子分離膜407が形成されている。

**【0092】**

図21では、まず、素子領域 $n$ 以外の素子領域 $n-1$ 、 $\dots$ 、1を覆うようにレジストマスク4nが形成される。次いで、素子領域 $n$ の基板保護膜404が除去される。第3の実施の形態と同様に、窒化膜は、ドライエッチングにより除去され、酸化膜は、フッ酸溶液によりウェットエッチングされる。

図21(B)では、素子領域 $n$ に対して酸化処理が行われ(1回目の酸化工程)、酸化膜405が形成される。

## 【0093】

図21(C)では、素子領域 $n-1$ 以外の素子領域 $n, n-2, \dots, 1$ を覆うようにレジストマスク4 $n-1$ が形成される。次いで、素子領域 $n-1$ の基板保護膜404が除去される。この基板保護膜404の除去は、図21(A)での除去工程と同じである。

## 【0094】

図21(D)では、まず、レジストマスク4 $n-1$ のうち、素子領域 $n$ を覆っているレジストマスク4 $n-1$ が除去される。次いで、素子領域 $n, n-1$ に対して酸化処理が行われる。この酸化処理により、素子領域 $n$ では、既に形成されている酸化膜405が追加的に酸化され(2回目の酸化工程)、酸化膜407が形成される。素子領域 $n-1$ には、酸化膜406が新たに形成される。

## 【0095】

図21(E)では、まず、素子領域 $n-2$ 以外の素子領域 $n, n-1, \dots, 1$ を覆うようにレジストマスク4 $n-2$ が形成される。次いで、素子領域 $n-2$ の基板保護膜404が除去される。この基板保護膜404の除去は、図21(A)での除去工程と同じである。

## 【0096】

図22(F)では、まず、レジストマスク4 $n-2$ のうち、素子領域 $n, n-1$ を覆っているレジストマスク4 $n-2$ が除去される。次いで、素子領域 $n, n-1, n-2$ に対して酸化処理が行われる。この酸化処理により、素子領域 $n$ では、既に形成されている酸化膜407が追加的に酸化され(3回目の酸化工程)、酸化膜409が形成される。素子領域 $n-1$ では、既に形成されている酸化膜406が追加的に酸化され(2回目の酸化工程)、酸化膜410が形成される。さらに、素子領域 $n-2$ では、酸化膜408が新たに形成される。

## 【0097】

さらに、図22(G)の処理を説明する。はじめに、この処理の前提として、素子領域 $n$ には、 $n-2$ 回分の酸化工程による酸化膜409'が形成されており、素子領域3(図示せず)には、1回目の酸化処理による酸化膜(図示せず)が既に形成されている。

**【0098】**

図22 (G)では、まず、素子領域2以外の素子領域 $n$ ,  $n-1$ , ...,  $3$ ,  $1$ を覆うようにレジストマスク42が形成される。次いで、素子領域2の基板保護膜404が除去される。この基板保護膜404の除去は、図21 (A)での除去工程と同じである。

**【0099】**

図22 (H)では、まず、レジストマスク42のうち、素子領域 $n$ ,  $n-1$ ,  $3$ を覆っているレジストマスク42が除去される。次いで、素子領域 $n$ ,  $n-1$ , ...,  $2$ に対して酸化処理が行われる。

**【0100】**

素子領域 $n$ では、既に形成されている酸化膜409'が追加的に酸化され( $n-1$ 回目の酸化工程)、酸化膜411が形成される。また、素子領域 $n-1$ では、既に形成されている酸化膜410'が追加的に酸化され( $n-2$ 回目の酸化工程)、酸化膜412が形成される。

さらに、素子領域 $n-2$ に既に形成されている酸化膜408'も追加的に酸化され( $n-3$ 回目の酸化工程)、酸化膜413が形成される。また、素子領域2には、酸化膜410が新たに形成される。

**【0101】**

図22 (I)では、まず、素子領域1以外の素子領域 $n$ ,  $n-1$ , ...,  $2$ を覆うようにレジストマスク41が形成される。次いで、素子領域1の基板保護膜404が除去される。この基板保護膜404の除去は、図21 (A)での除去工程と同じである。

**【0102】**

最後に、図22 (J)では、まず、レジストマスク41が除去される。次いで、素子領域 $n$ ,  $n-1$ ,  $n-2$ , ...,  $1$ に対して酸化処理が行われる。この酸化処理により、素子領域 $n$ では、既に形成されている酸化膜411が追加的に酸化され( $n$ 回目の酸化工程)、ゲート酸化膜415として形成される。このゲート酸化膜415は、 $n$ 回分の酸化処理に対応する膜厚に成長される。

**【0103】**

同様に、素子領域  $n-1$ ,  $n-2$ , ...,  $2$  には、既に形成されている酸化膜  $412$ ,  $413$ , ...,  $410$  も追加的にそれぞれ酸化され、ゲート酸化膜  $416$ ,  $417$ , ...,  $418$  としてそれぞれ形成される。これらのゲート酸化膜  $416$ ,  $417$ ,  $418$  は、 $n-1$  回,  $n-2$  回,  $2$  回分の酸化処理にそれぞれ対応する膜厚に成長される。さらに、素子領域  $1$  には、ゲート酸化膜  $414$  が新たに形成される。このゲート酸化膜  $414$  は、 $1$  回分の酸化処理に対応する膜厚に成長される。

#### 【0104】

本実施の形態による半導体装置の製造方法では、素子分離膜  $407$  を形成するために作製された基板保護膜  $404$  は、異なる膜厚を有するゲート酸化膜  $415$ ,  $416$  等を形成するために流用される。他の形態として、たとえば、この流用すべき基板保護膜（たとえば、図 21 (A) 参照）の全部又は一部を除いた後に、マスキング等により酸化する工程（たとえば、図 21 (B) に対応）が含まれていてもよい。

#### 【0105】

以上から、本実施の形態による製造方法は、第  $1$  の領域から第  $n$  の領域（ $n$  は  $2$  以上の整数）とに跨がりパターンニング形成された基板保護膜  $404$  を用いて素子分離膜  $407$  がシリコン基板  $410$  に形成される。

#### 【0106】

つぎに、第  $n$  の領域以外の領域をレジストマスク  $4n$  で覆いつつ、第  $n$  の領域に酸化膜  $405$  が形成される。さらに、レジストマスク  $4n$  を除き、第  $n-1$  の領域以外の領域をレジストマスク  $4n-1$  で覆いつつ、第  $n-1$  の領域に酸化膜  $406$  が形成される。

#### 【0107】

具体的には、レジストマスク  $4n$  が除かれた後、第  $n-1$  の領域に含まれる基板保護膜  $404$  が除かれ、次いで、第  $n-1$  の領域よりも下位の領域をレジストマスク  $4n-1$  で覆いつつ、第  $n-1$  の領域に酸化膜  $406$  が形成される。この下位の領域とは、各領域に形成されるゲート酸化膜の膜厚に関して下位の領域に対応する。

## 【0108】

ここで、製造工程の合理化を考慮して、たとえば、第  $n-1$  の領域に酸化膜 406 を形成する工程は、第  $n$  の領域に形成された酸化膜 405 をさらに酸化して酸化膜 407 を形成する工程と同時に進行されることが好ましい。これにより、複数の素子領域のうち、膜厚に関して上位の（より厚い）ゲート酸化膜が形成される素子領域から降順に最初の酸化処理が行われ、第  $n$  の領域における  $n$  回目の酸化工程と第  $n-1$  の領域における  $n-1$  回目の酸化工程とが同時に行われる。したがって、各素子領域におけるゲート酸化膜の形成工程は、同時に終了される（図 22（J）参照）。その結果、素子領域  $n$  に形成されるゲート絶縁膜 415 の膜厚は、素子領域  $n-1$  に形成されるゲート絶縁膜 416 の膜厚よりも 1 回分の酸化処理だけ実質的に厚く形成される。

## 【0109】

なお、本発明は、上述された実施の形態に限定されず、様々な変更等がなされてもよい。

たとえば、本発明は、異なる膜厚のゲート絶縁膜の形成に関するものである。したがって、ゲート電極の形成以降のプロセス（たとえば、図 9（B）、図 15（B）及び図 20（A）以降のプロセス）に関しては様々な変更を行うことができる。

## 【0110】

また、上述した実施の形態では、素子分離技術として STI 方式が採用されている。本発明は STI 方式に限定されず、たとえば、LOCOS 方式のような MOS トランジスタが形成される素子領域を画定可能な素子分離方式であって、シリコン基板上に成膜される酸化膜及び窒化膜等を使用して素子分離手段を提供する方式であれば採用することができる。

## 【0111】

本発明は、上述された実施の形態の内容を整理して、付記として開示される。

（付記 1） 基板の表面に画定される第 1 の領域と第 2 の領域の各々に、互いに機能の異なる素子が形成される半導体装置の製造方法であって、

前記第 1 の領域と前記第 2 の領域とに跨がりパターンニング形成された第 1 のマ

スクを用いて素子分離膜を前記基板に形成する工程と、

前記第 1 の領域を第 2 のマスクで覆いつつ、前記第 2 の領域に第 1 の絶縁膜を形成する工程と、

前記第 1 の領域から前記第 2 のマスクを除いて、前記第 1 の絶縁膜よりも厚い第 2 の絶縁膜を前記第 1 の領域に形成する工程と、  
を備える半導体装置の製造方法。

(付記 2) 基板の表面に画定される第 1 の領域と第 2 の領域の各々に、互いに機能の異なる素子が形成される半導体装置の製造方法であって、

前記第 1 の領域と前記第 2 の領域とに跨がりパターンニング形成された第 1 のマスクを用いて素子分離膜を形成する工程と、

前記第 1 の領域を第 2 のマスクで覆いつつ、前記第 2 の領域に第 1 の絶縁膜を形成する工程と、

前記第 2 のマスクを除き、前記第 1 の領域の一部を第 3 のマスクで覆いつつ、前記第 1 の領域の一部以外の領域に第 2 の絶縁膜を形成する工程と、

前記第 3 のマスクを除き、前記第 1 の領域の一部の領域に第 3 の絶縁膜を形成する工程と、  
を備える半導体装置の製造方法。

(付記 3) 前記第 3 の絶縁膜を形成する工程は、前記第 2 の絶縁膜をさらに酸化する工程と同時に行われる、  
付記 2 記載の半導体装置の製造方法。

(付記 4) 第 1 の領域と第 2 の領域とに跨がりパターンニング形成された第 1 のマスクを用いて素子分離膜を基板に形成する工程と、

前記第 2 の領域を第 2 のマスクで覆いつつ、前記第 1 の領域に第 1 の絶縁膜を形成する工程と、

前記第 2 のマスクを除き、前記第 2 の領域に第 2 の絶縁膜を形成する工程と、  
を備える半導体装置の製造方法。

(付記 5) 前記第 2 の絶縁膜を形成する工程は、前記第 1 の絶縁膜をさらに酸化する工程と同時に行われる、  
付記 4 記載の半導体装置の製造方法。

(付記 6) 第 1 の領域から第  $n$  の領域 ( $n$  は 2 以上の整数) とに跨がりパターンニング形成された第 1 のマスクを用いて素子分離膜を基板に形成する工程と、

第  $n$  の領域以外の領域を第 2 のマスクで覆いつつ、前記第  $n$  の領域に絶縁膜を形成する工程と、

前記第 2 のマスクを除き、第  $n-1$  の領域以外の領域を第 3 のマスクで覆いつつ、前記第  $n-1$  の領域に絶縁膜を形成する工程と、  
を備える半導体装置の製造方法。

(付記 7) 前記第  $n-1$  の領域に絶縁膜を形成する前記工程は、前記第  $n$  の領域に形成された前記絶縁膜をさらに酸化する工程と同時に行為れる、  
付記 6 記載の半導体装置の製造方法。

(付記 8) 前記素子分離膜は、STI (Shallow Trench Isolation) 方式により形成される、  
付記 1 乃至 7 のいずれか記載の半導体装置の製造方法。

(付記 9) 前記素子分離膜は、LOCOS (Local Oxidation of Silicon) 方式により形成される、  
付記 1 乃至 7 のいずれか記載の半導体装置の製造方法。

(付記 10) 前記第 1 のマスクを前記基板に形成するためのパターンニング工程と、前記素子分離膜のためのトレンチ溝を形成するエッチング工程とは同時に行われる、

付記 1 乃至 9 のいずれか記載の半導体装置の製造方法。

(付記 11) 前記第 1 のマスクは窒化膜を含む、  
付記 1 乃至 10 のいずれか記載の半導体装置の製造方法。

(付記 12) 前記窒化膜は、ドライエッチングにより除去される、  
付記 11 記載の半導体装置の製造方法。

## 【0112】

### 【発明の効果】

本発明によれば、素子分離絶縁膜の素子分離機能を向上しつつ、異なる膜厚のゲート絶縁膜を効率的に形成することができる。

具体的には、素子分離絶縁膜に生じるディボットを最小限に抑えることができ



るため、トランジスタ特性の劣化を防止することできると共に、半導体回路の信頼性を確保することができる。

また、複数の異なる膜厚のゲート絶縁膜を一般化された形式に沿って形成することができるため、複数の異なる電圧の電源、入力／出力系、更には該電源と入力／出力系の組合せ等の使用環境にも柔軟に対応することができる。

【図面の簡単な説明】

【図 1】

素子分離技術として S T I 方式が採用される、従来の異なるゲート絶縁膜のプロセスフローを説明する図（その 1）である。

【図 2】

素子分離技術として S T I 方式が採用される、従来の異なるゲート絶縁膜のプロセスフローを説明する図（その 2）である。

【図 3】

素子分離技術として S T I 方式が採用される、従来の異なるゲート絶縁膜のプロセスフローを説明する図（その 3）である。

【図 4】

素子分離技術として S T I 方式が採用される、従来の異なるゲート絶縁膜のプロセスフローを説明する図（その 4）である。

【図 5】

本発明の第 1 の実施の形態による半導体装置の製造方法を説明するプロセスフロー（その 1）である。

【図 6】

本発明の第 1 の実施の形態による半導体装置の製造方法を説明するプロセスフロー（その 2）である。

【図 7】

本発明の第 1 の実施の形態による半導体装置の製造方法を説明するプロセスフロー（その 3）である。

【図 8】

本発明の第 1 の実施の形態による半導体装置の製造方法を説明するプロセスフ

ロー（その４）である。

【図 9】

本発明の第 1 の実施の形態による半導体装置の製造方法を説明するプロセスフロー（その 5）である。

【図 10】

本発明の第 1 の実施の形態による半導体装置の製造方法を説明するプロセスフロー（その 6）である。

【図 11】

本発明の第 2 の実施の形態による半導体装置の製造方法を説明するプロセスフロー（その 1）である。

【図 12】

本発明の第 2 の実施の形態による半導体装置の製造方法を説明するプロセスフロー（その 2）である。

【図 13】

本発明の第 2 の実施の形態による半導体装置の製造方法を説明するプロセスフロー（その 3）である。

【図 14】

本発明の第 2 の実施の形態による半導体装置の製造方法を説明するプロセスフロー（その 4）である。

【図 15】

本発明の第 2 の実施の形態による半導体装置の製造方法を説明するプロセスフロー（その 5）である。

【図 16】

本発明の第 2 の実施の形態による半導体装置の製造方法を説明するプロセスフロー（その 6）である。

【図 17】

本発明の第 3 の実施の形態による半導体装置の製造方法を説明するプロセスフロー（その 1）である。

【図 18】

本発明の第3の実施の形態による半導体装置の製造方法を説明するプロセスフロー（その2）である。

【図19】

本発明の第3の実施の形態による半導体装置の製造方法を説明するプロセスフロー（その3）である。

【図20】

本発明の第3の実施の形態による半導体装置の製造方法を説明するプロセスフロー（その4）である。

【図21】

本発明の第4の実施の形態による半導体装置の製造方法を説明するプロセスフロー（その1）である。

【図22】

本発明の第4の実施の形態による半導体装置の製造方法を説明するプロセスフロー（その2）である。

【符号の説明】

101, 201, 301, 401, 501：シリコン基板

102, 202, 302, 502：酸化膜

103, 203, 303, 503：窒化膜

104, 204, 304, 504：レジストマスク

105, 205, 305, 505：トレンチ溝

106, 206, 306, 506：埋め込み酸化膜

107, 207, 307, 407, 507：素子分離膜

108, 208, 308：レジストマスク

109, 209：トンネル酸化膜

110, 210：アモルファスシリコン膜

111, 211：フローティングゲート

112, 212：ONO膜

113, 213, 213'：レジストマスク

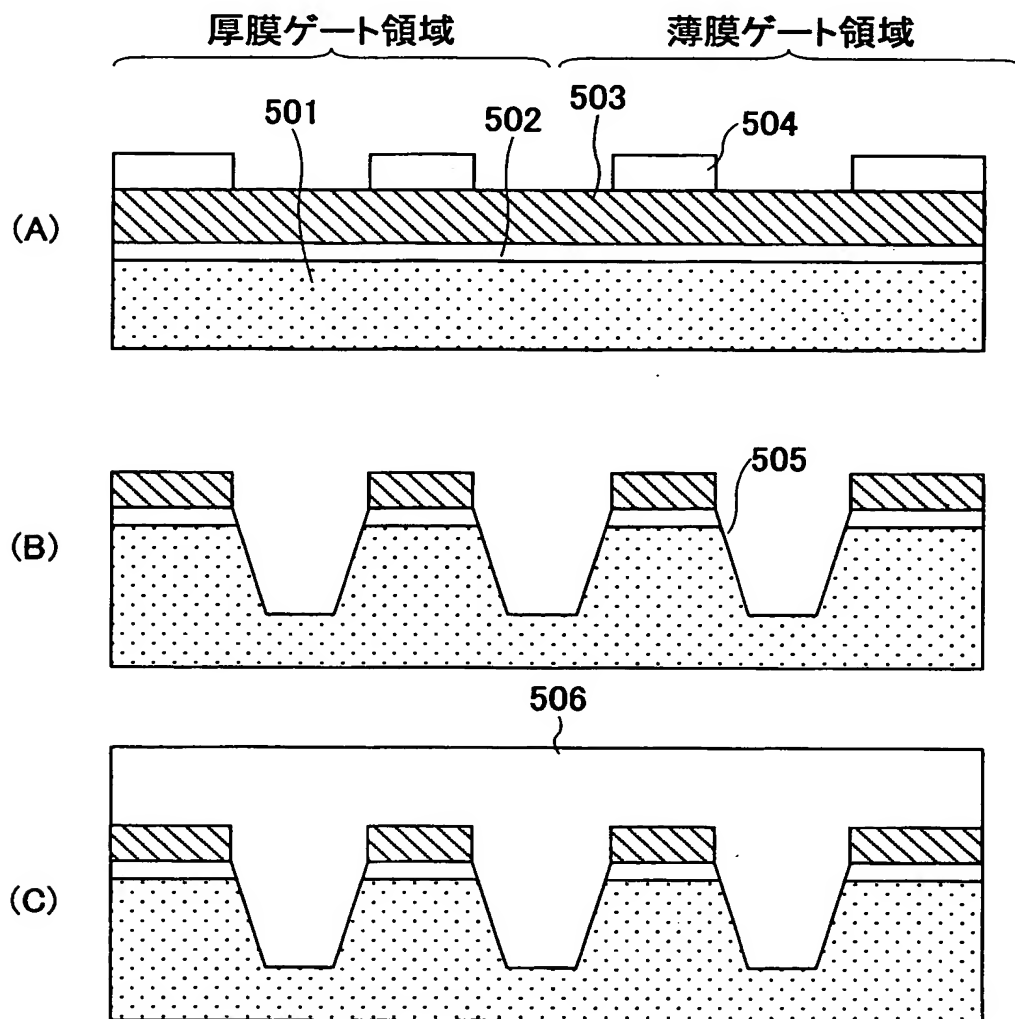
114, 214, 309：酸化膜

1 1 5, 2 1 5, 3 1 0 : レジストマスク  
1 1 6, 2 1 6, 3 1 2 : (薄い) ゲート酸化膜  
1 1 7, 2 1 7, 3 1 1 : (厚い) ゲート酸化膜  
1 1 8, 2 1 8 : ポリシリコン膜  
1 1 9, 2 1 9, 3 1 5 : ゲート電極  
1 2 0, 2 2 0, 3 1 6 : バルク層間膜  
1 2 1, 2 2 1, 3 1 7 : 第 1 配線層  
1 2 2, 2 2 2, 3 1 8 : 配線層間膜  
1 2 3, 2 2 3, 3 1 9 : 第 2 配線層  
1 2 4, 2 2 4, 3 2 0 : カバー層

【書類名】 図面

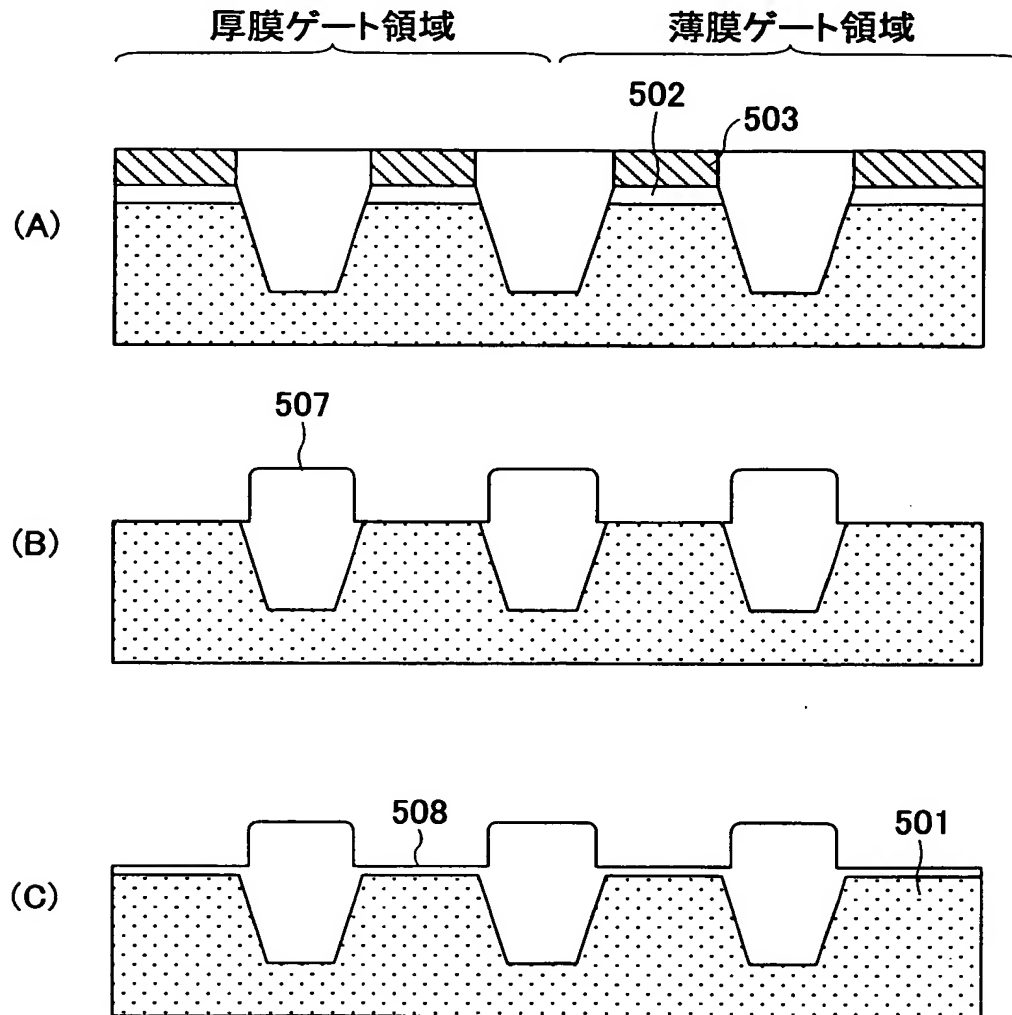
【図 1】

素子分離技術としてSTI方式が採用される、従来の異なる  
ゲート絶縁膜のプロセスフローを説明する図(その1)



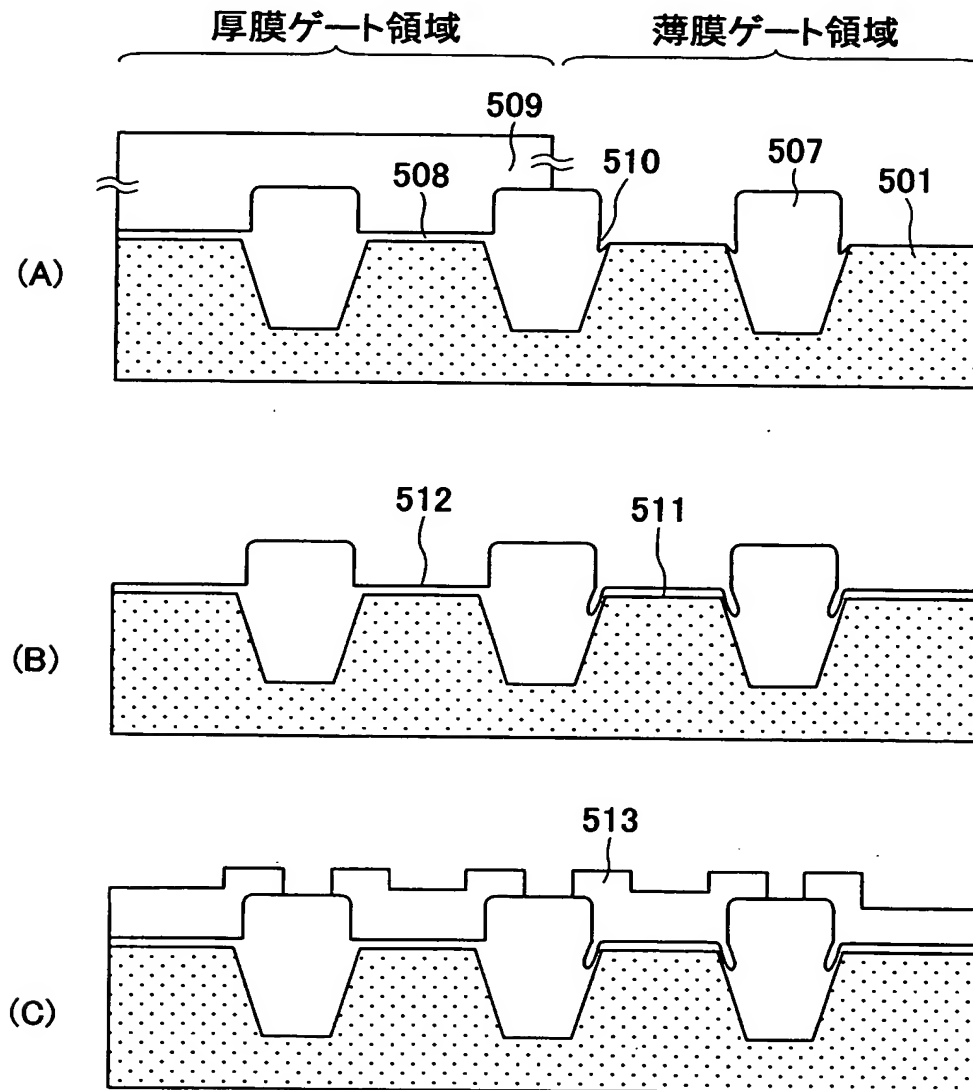
【図 2】

素子分離技術としてSTI方式が採用される、従来の異なるゲート絶縁膜のプロセスフローを説明する図(その2)



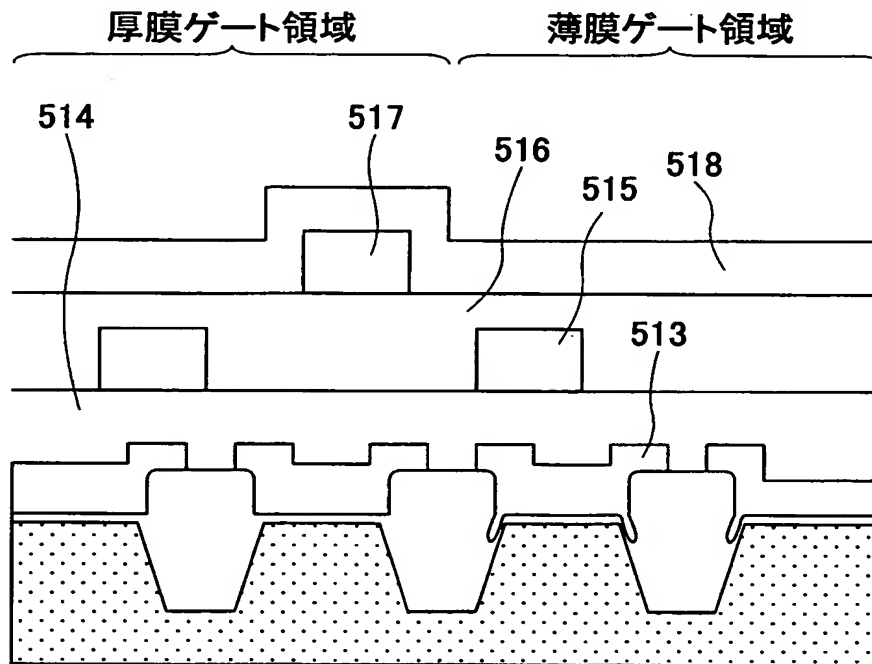
【図 3】

素子分離技術としてSTI方式が採用される、従来の異なるゲート絶縁膜のプロセスフローを説明する図(その3)



【図 4】

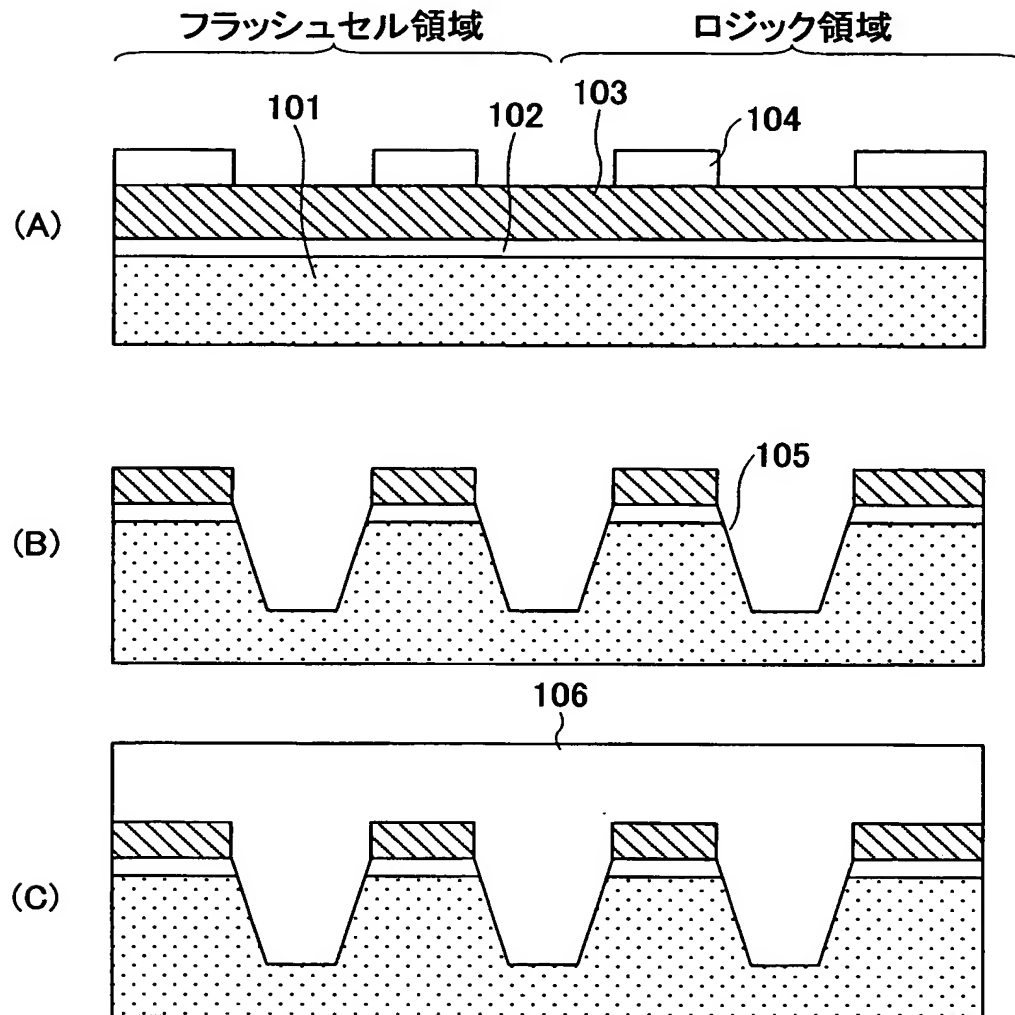
素子分離技術としてSTI方式が採用される、従来の異なる  
ゲート絶縁膜のプロセスフローを説明する図(その4)





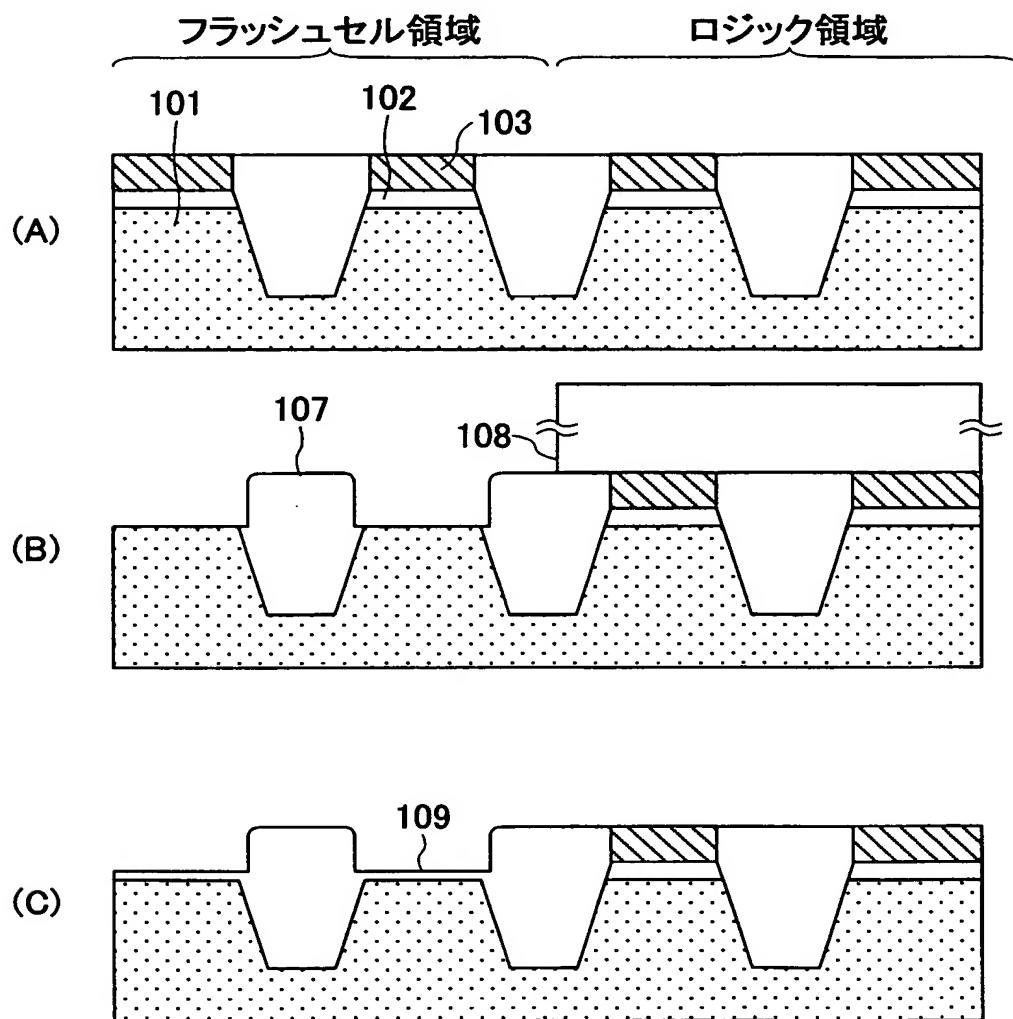
【図 5】

本発明の第1の実施の形態による半導体装置の  
製造方法を説明するプロセスフロー(その1)



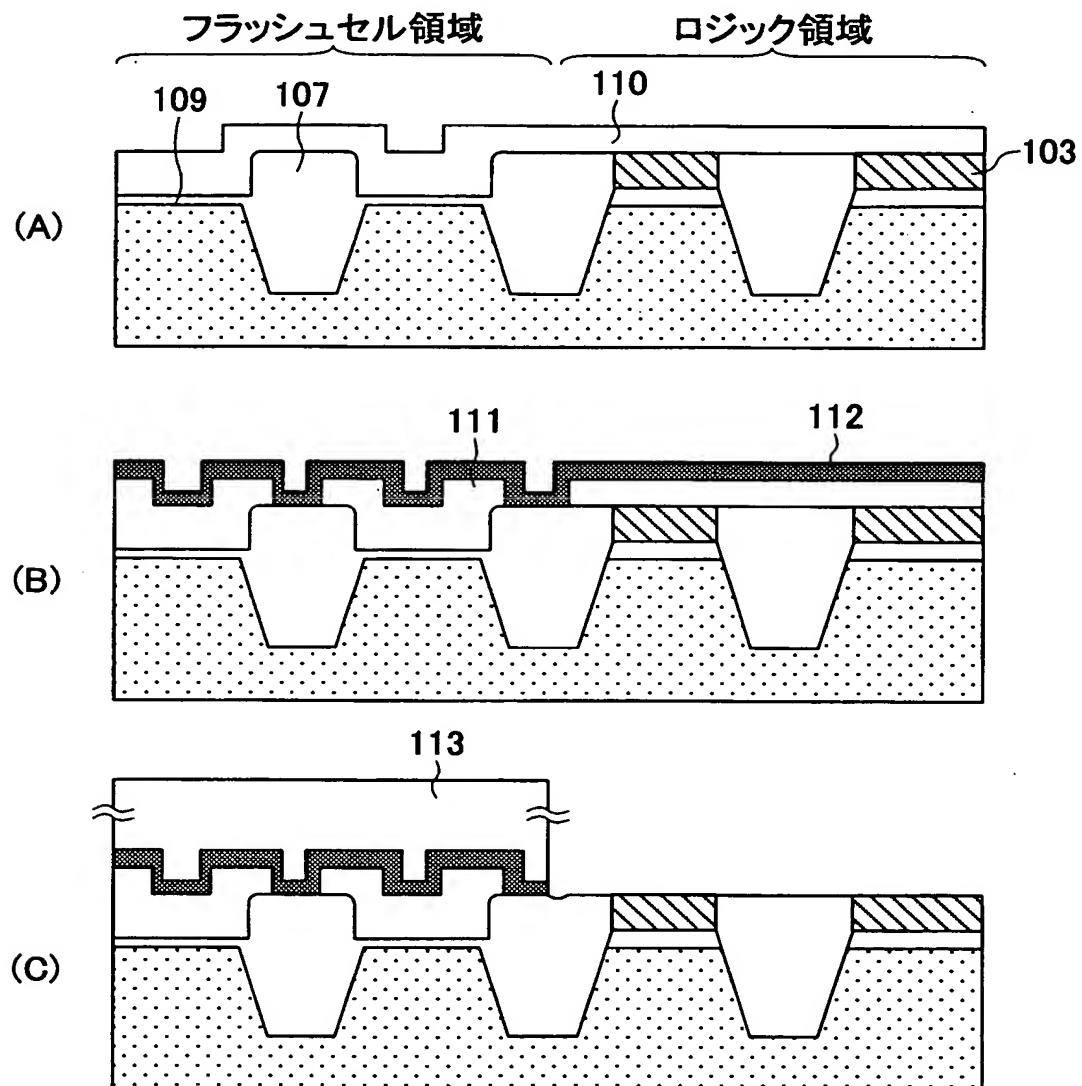
【図 6】

本発明の第1の実施の形態による半導体装置の  
製造方法を説明するプロセスフロー(その2)



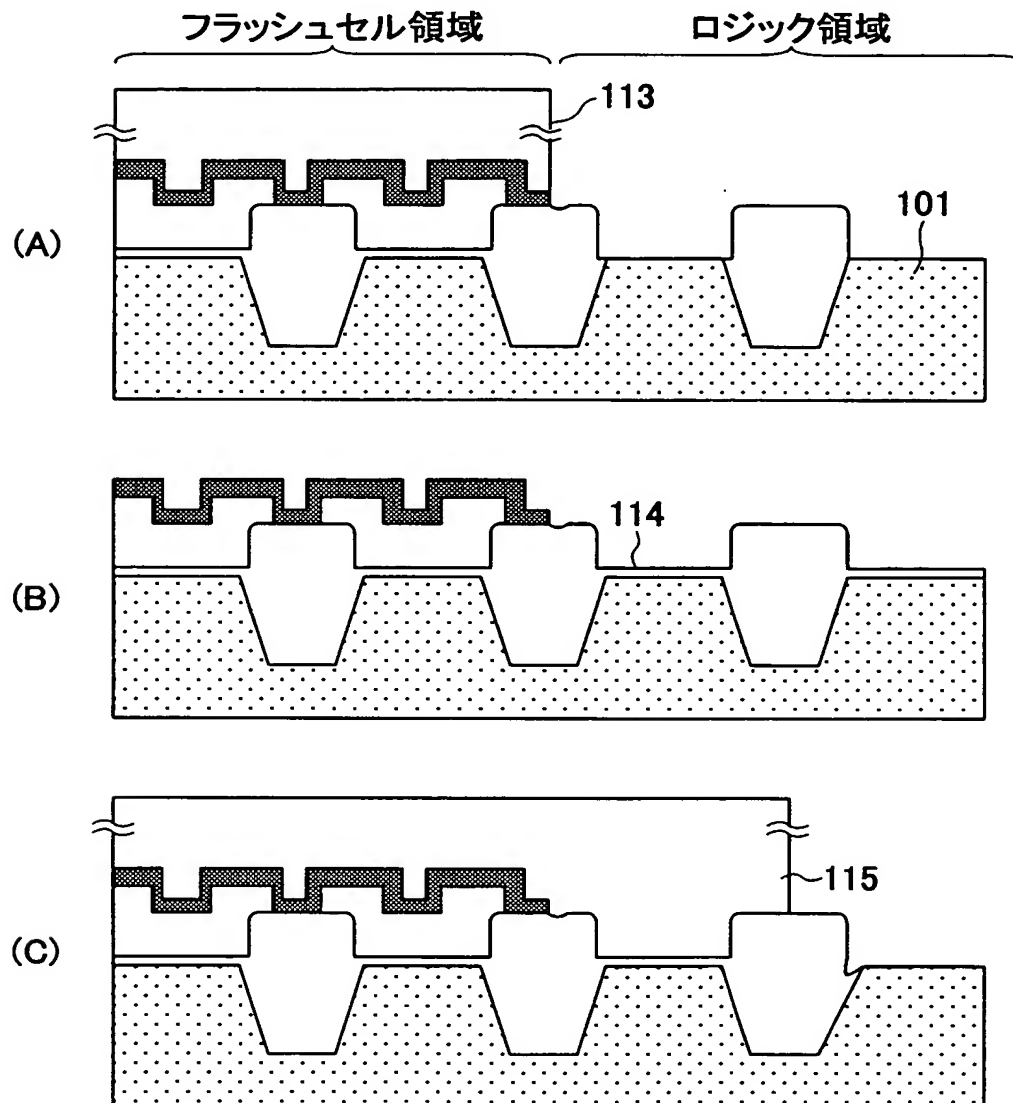
【図7】

本発明の第1の実施の形態による半導体装置の  
製造方法を説明するプロセスフロー(その3)



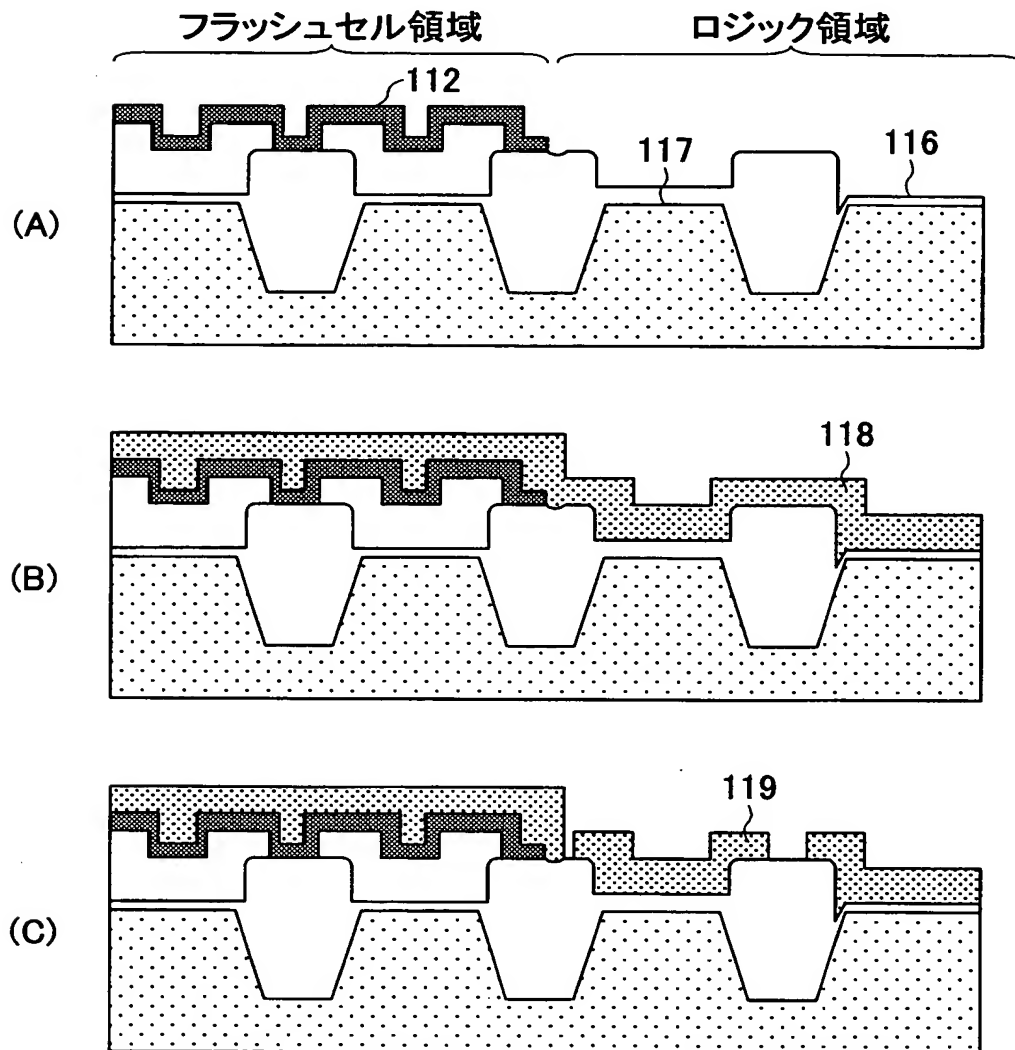
【図 8】

本発明の第1の実施の形態による半導体装置の  
製造方法を説明するプロセスフロー(その4)



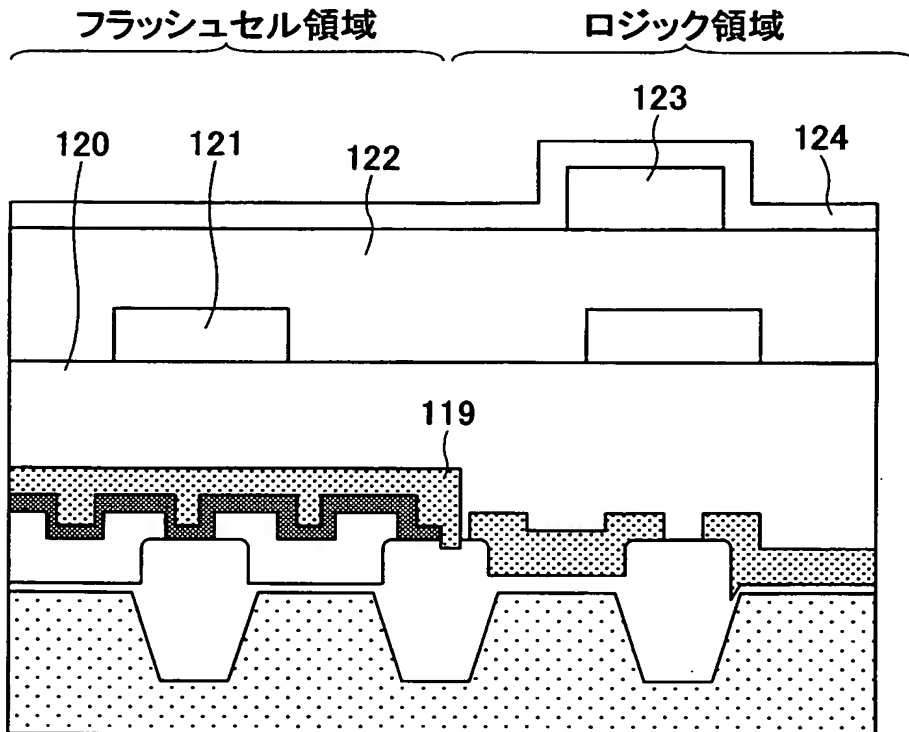
【図 9】

本発明の第1の実施の形態による半導体装置の  
製造方法を説明するプロセスフロー(その5)



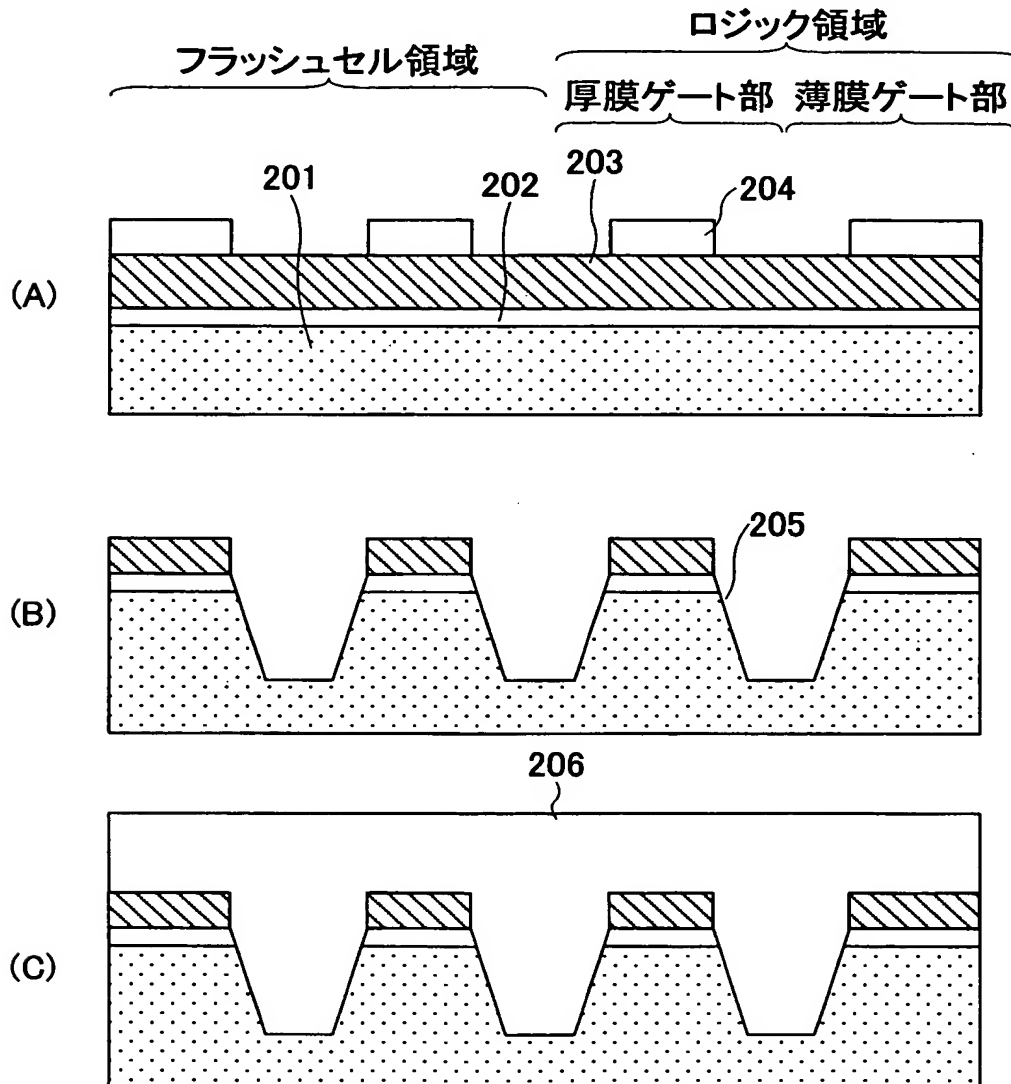
【図 10】

本発明の第1の実施の形態による半導体装置の  
製造方法を説明するプロセスフロー(その6)



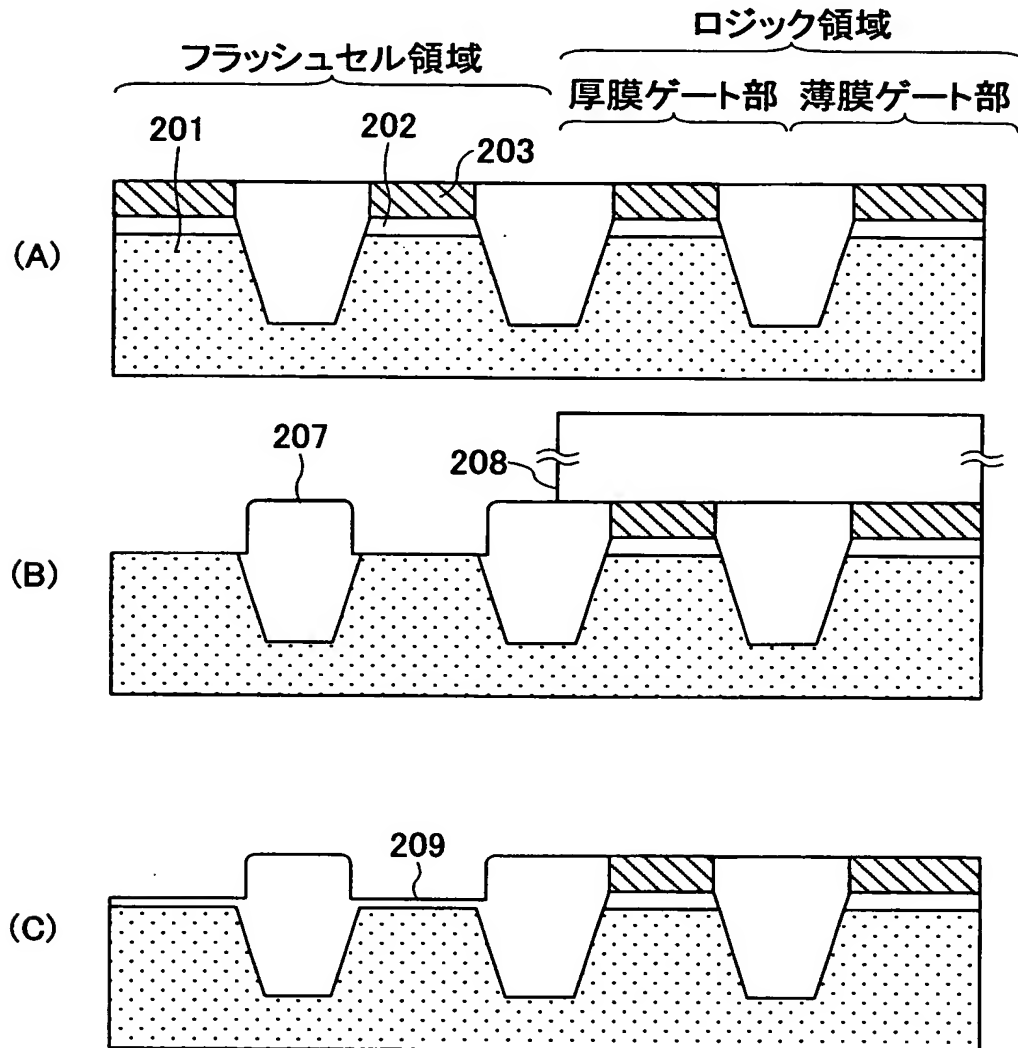
【図 11】

本発明の第2の実施の形態による半導体装置の  
製造方法を説明するプロセスフロー(その1)



【図 12】

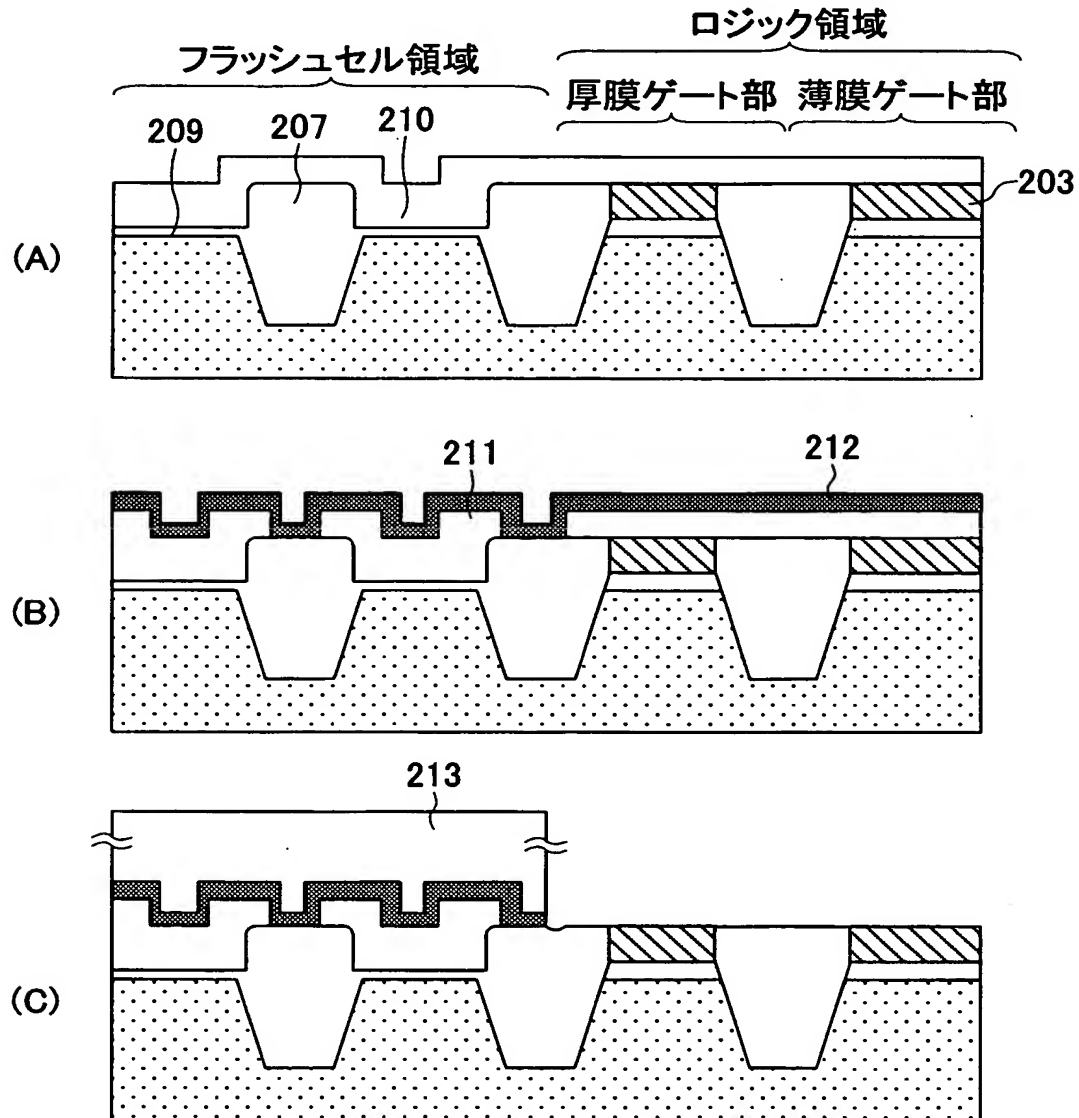
本発明の第2の実施の形態による半導体装置の  
製造方法を説明するプロセスフロー(その2)





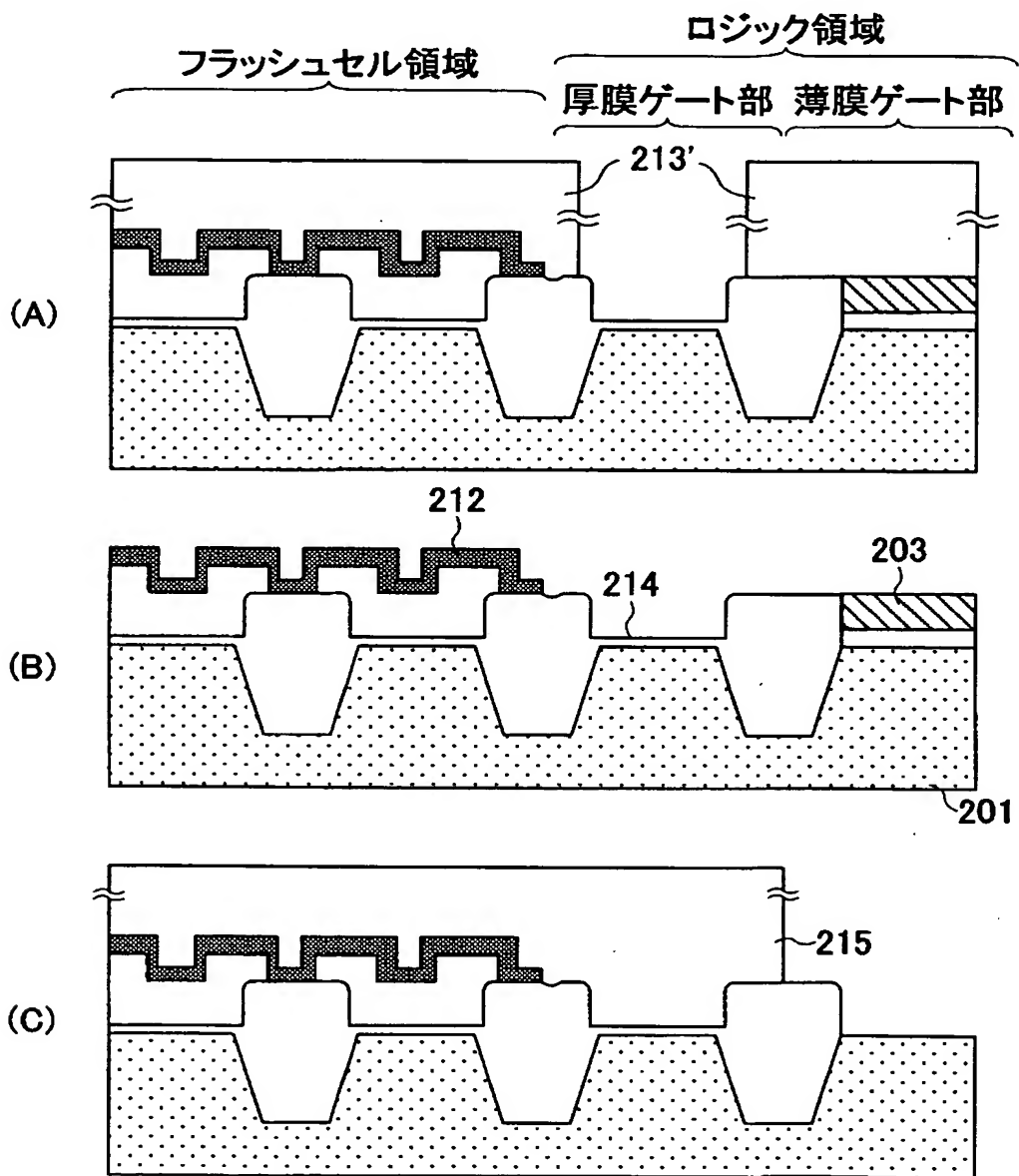
【図 13】

本発明の第2の実施の形態による半導体装置の  
製造方法を説明するプロセスフロー(その3)



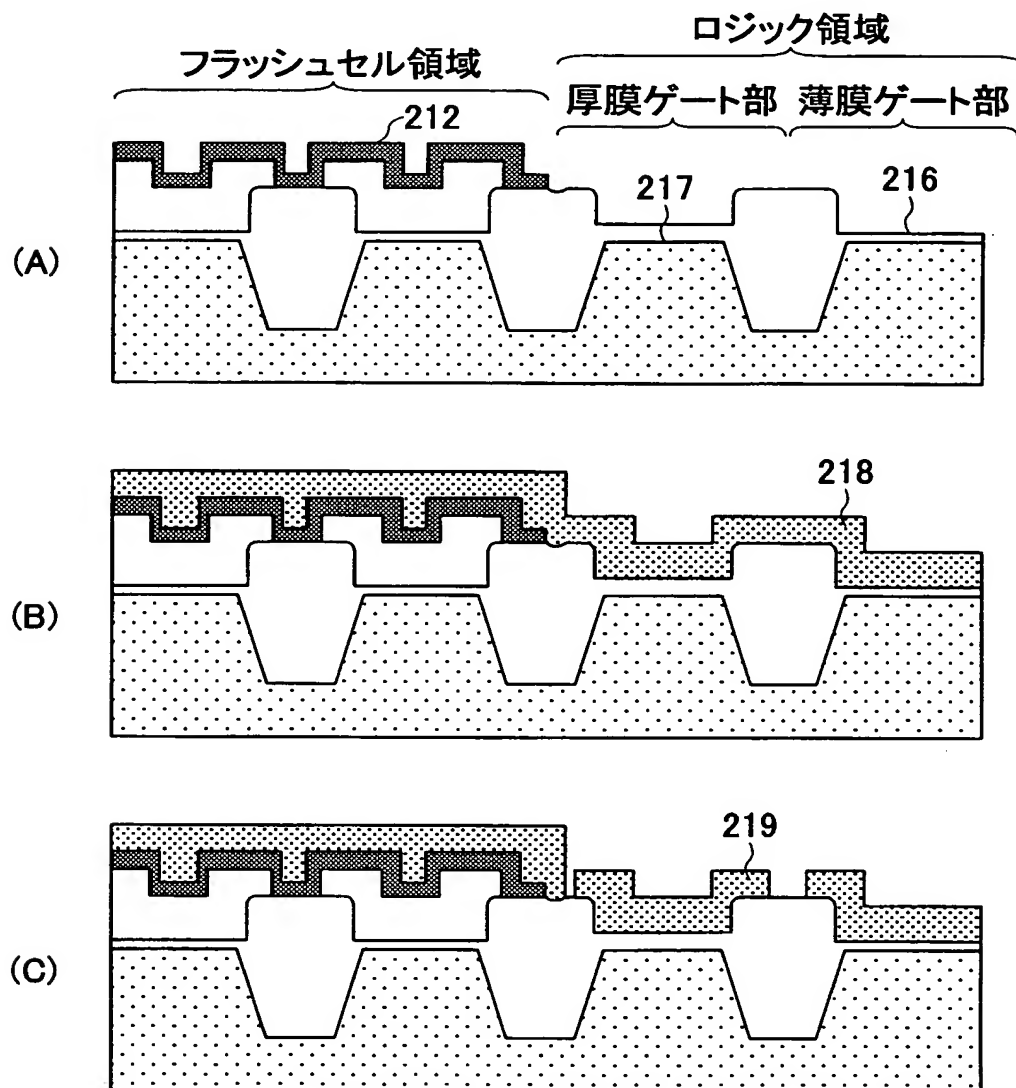
【図 14】

本発明の第2の実施の形態による半導体装置の  
製造方法を説明するプロセスフロー(その4)



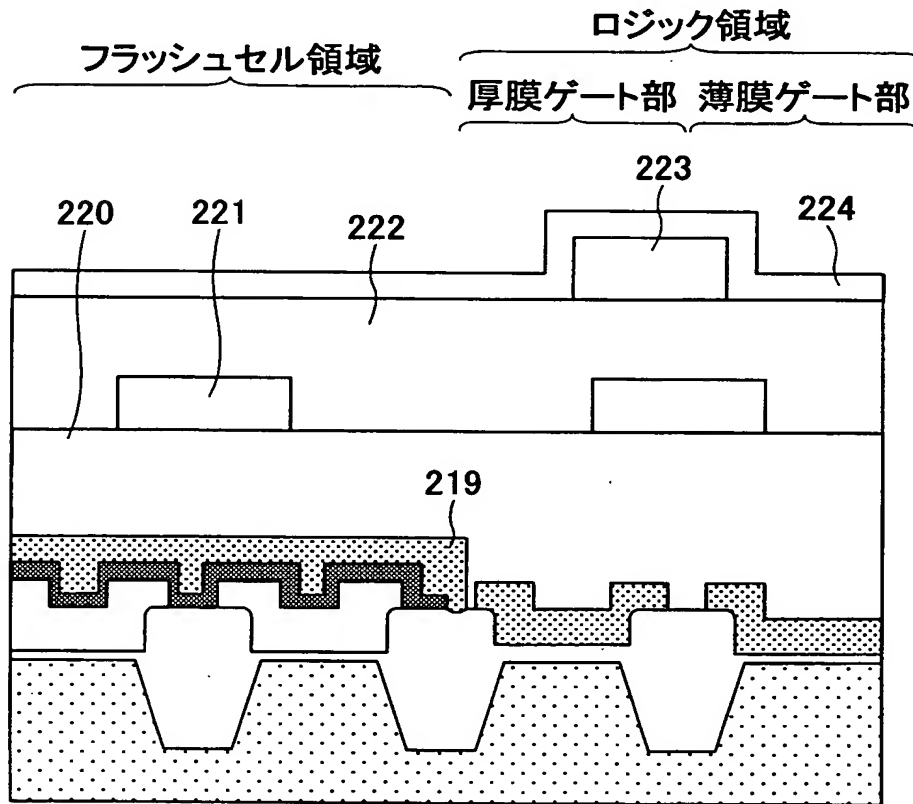
【図 15】

本発明の第2の実施の形態による半導体装置の  
製造方法を説明するプロセスフロー(その5)



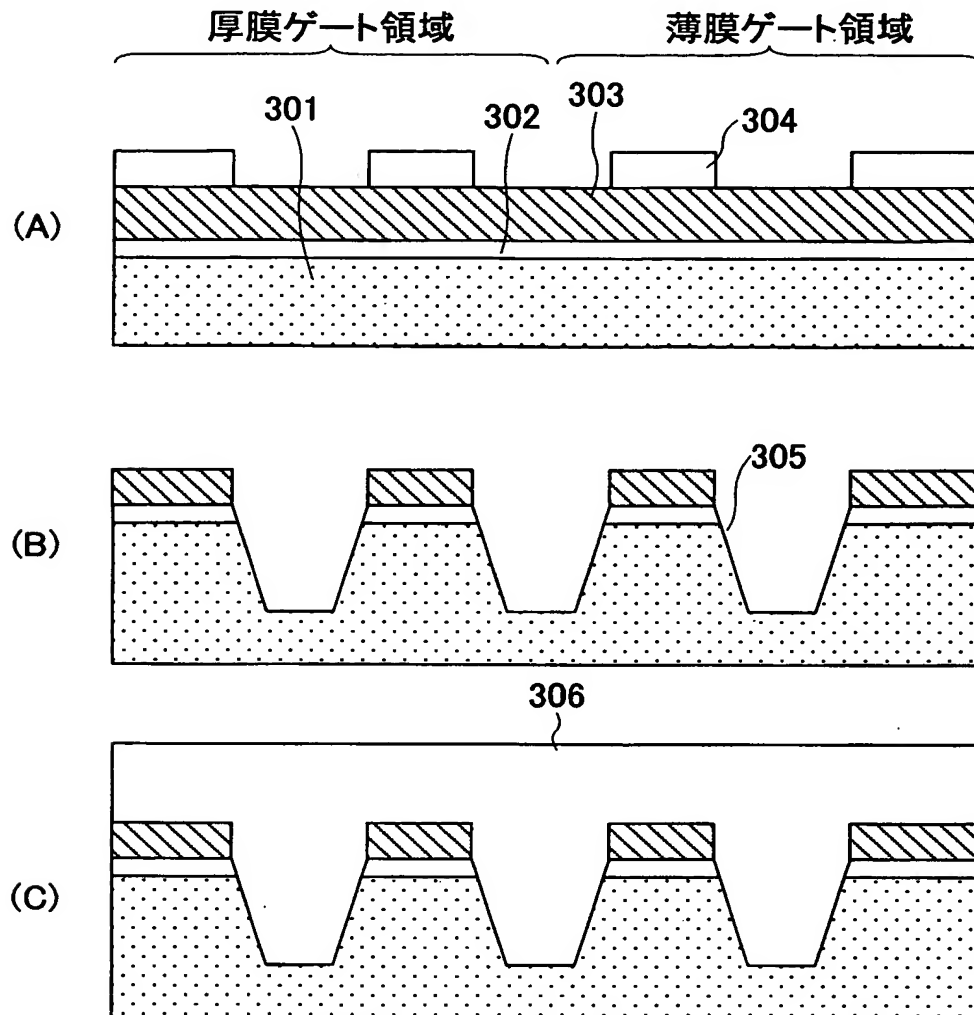
【図 16】

本発明の第2の実施の形態による半導体装置の  
製造方法を説明するプロセスフロー(その6)



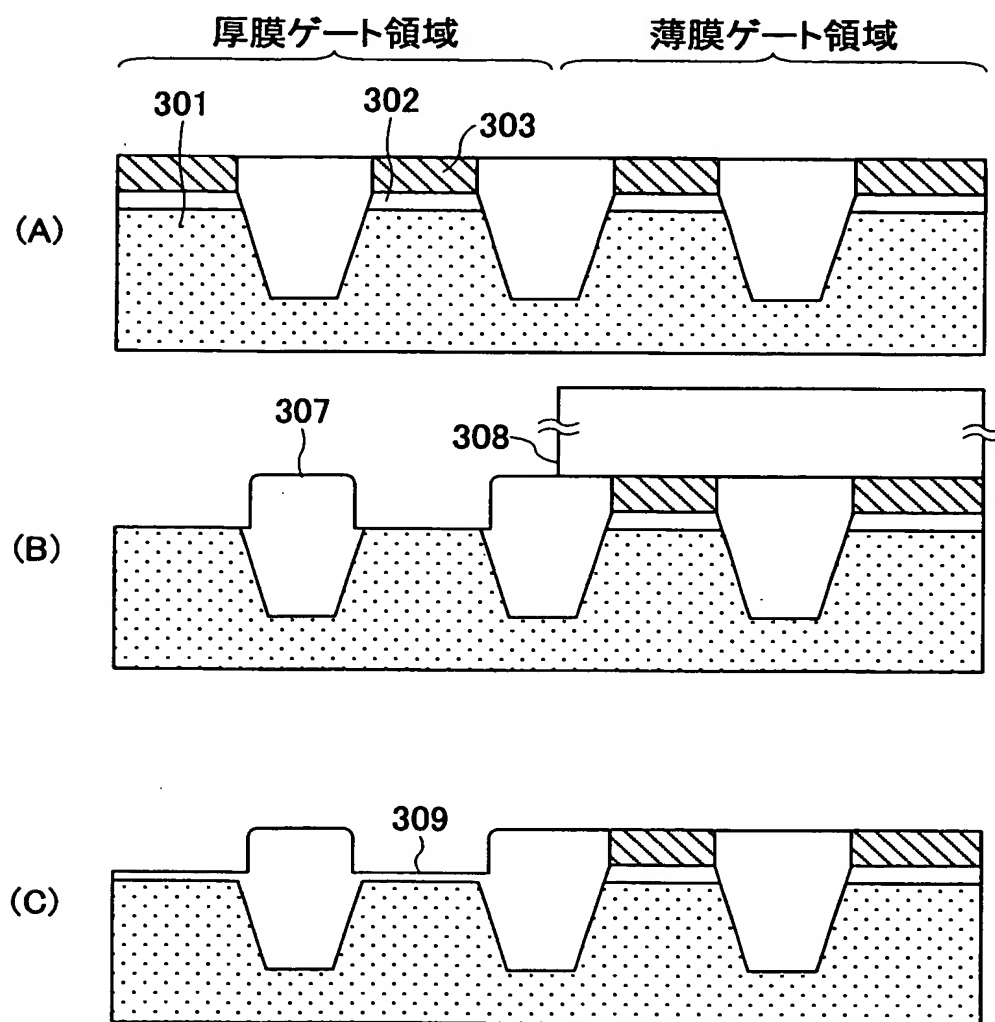
【図 17】

本発明の第3の実施の形態による半導体装置の  
製造方法を説明するプロセスフロー(その1)



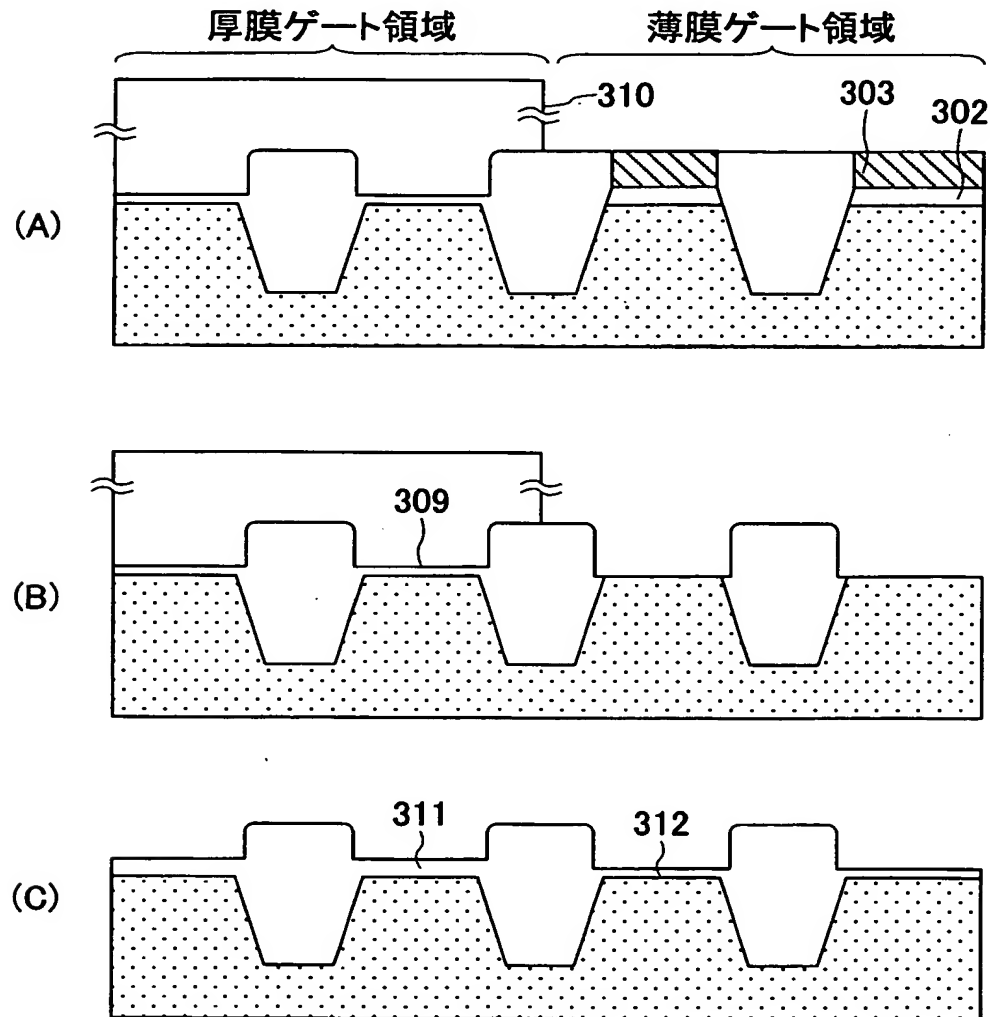
【図 18】

本発明の第3の実施の形態による半導体装置の  
製造方法を説明するプロセスフロー(その2)



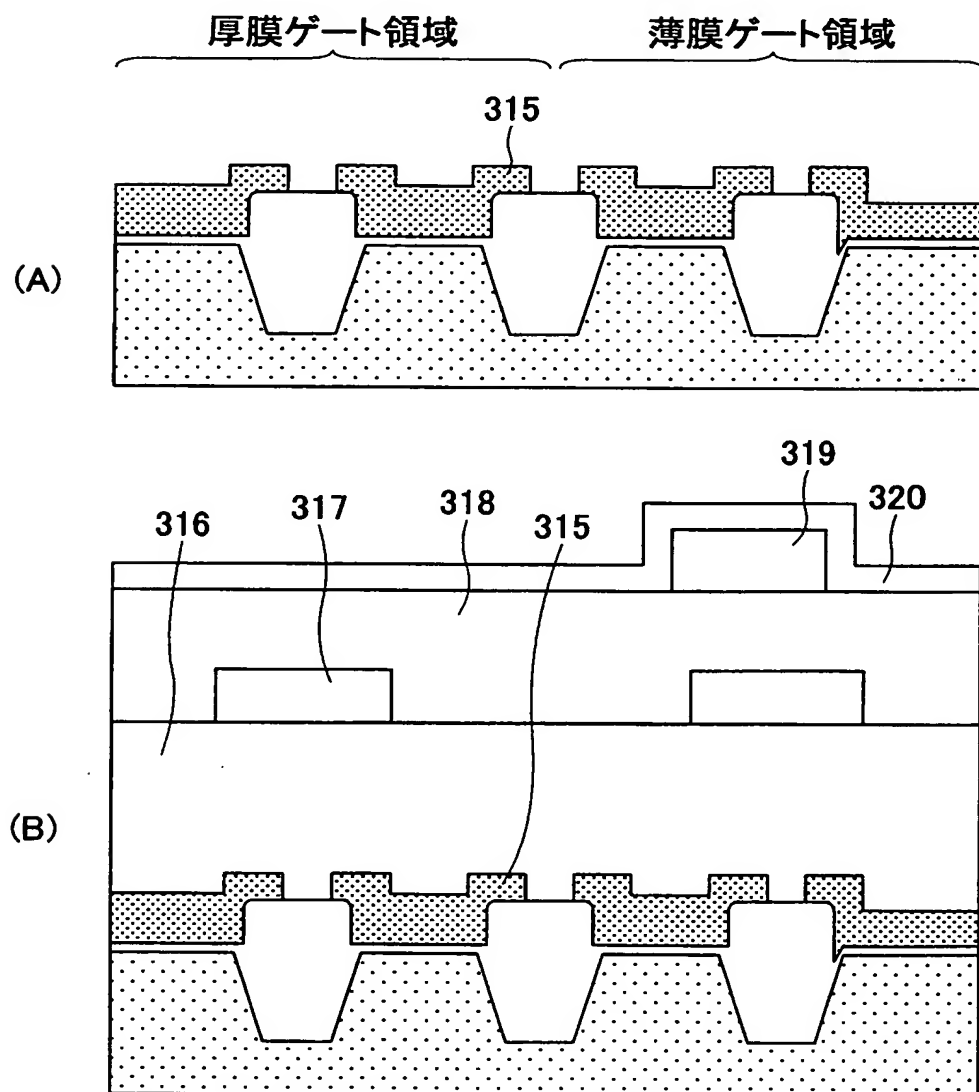
【図19】

本発明の第3の実施の形態による半導体装置の  
製造方法を説明するプロセスフロー(その3)



【図 20】

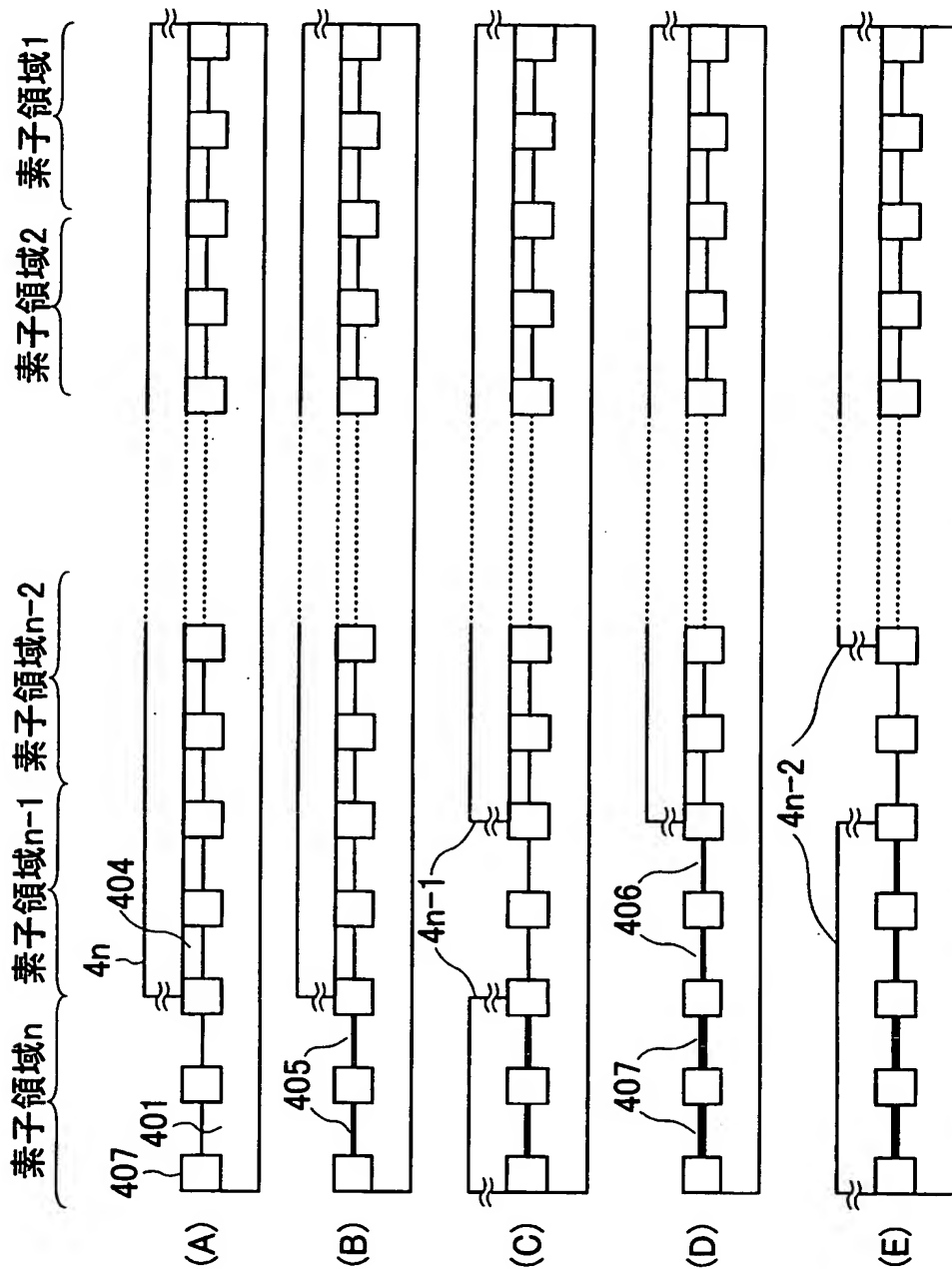
本発明の第3の実施の形態による半導体装置の  
製造方法を説明するプロセスフロー(その4)





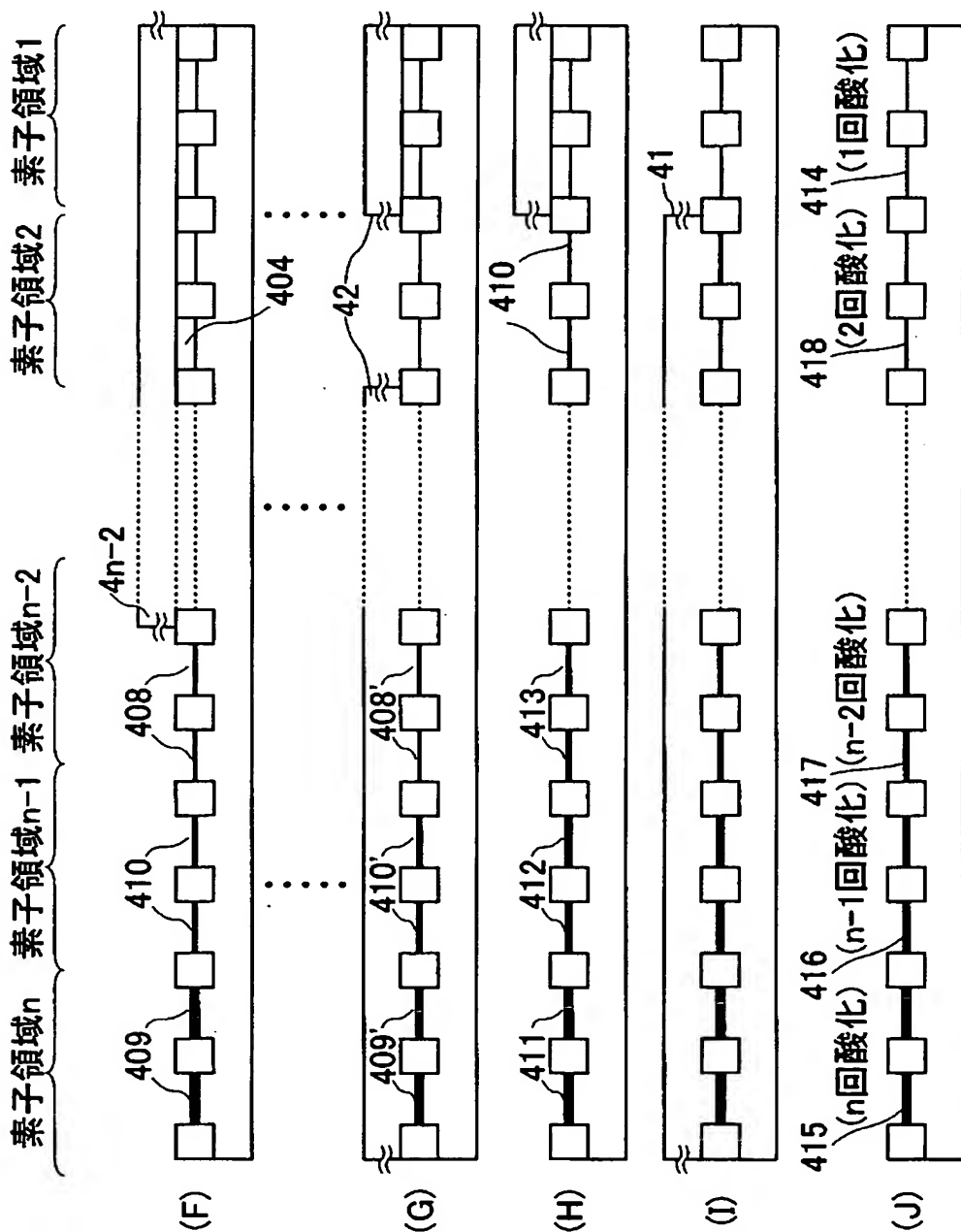
【図 21】

本発明の第4の実施の形態による半導体装置の  
製造方法を説明するプロセスフロー(その1)



【図 22】

本発明の第4の実施の形態による半導体装置の  
製造方法を説明するプロセスフロー(その2)



【書類名】 要約書

【要約】

【課題】 素子分離絶縁膜の素子分離機能を向上しつつ、異なる膜厚のゲート絶縁膜を効率的に形成することができる半導体装置の製造方法を提供する。

【解決手段】 本発明は、不揮発性メモリ素子とロジック素子とが混載される半導体装置の製造方法に関する。本製造方法では、素子分離膜 207 を形成するときに使用される基板保護膜 202, 203 がシリコン基板 201 に形成される。つぎに、ロジック領域の該基板保護膜を残して、フラッシュセル領域にトンネル絶縁膜 209 が形成される。つぎに、ロジック領域のうち、薄膜ゲート部の基板保護膜が残された状態で、厚膜ゲート部に中間的な酸化膜 214 が形成される。さらに、薄膜ゲート部の基板保護膜が除去されて、ゲート絶縁膜 216 が形成される。特に、厚膜ゲート部に形成されるゲート絶縁膜 217 は、2 度の酸化工程を経て形成され、2 度目の酸化工程は、薄膜ゲート領域に形成されるゲート絶縁膜 216 の酸化工程と同時に行われる。

【選択図】 図 15



特願 2003-014829

出願人履歴情報

識別番号

[000005223]

1. 変更年月日  
[変更理由]

1996年 3月26日

住所変更

住 所

神奈川県川崎市中原区上小田中4丁目1番1号

氏 名

富士通株式会社